

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平 8 - 1 8 9 5 3

(43)公開日 平成8年(1996)1月19日

(51) Int. Cl. <sup>6</sup>

H04N 7/24

識別記号

庁内整理番号

FI

### 技術表示箇所

H04N 7/13

**2**

審査請求 未請求 請求項の数 20 O L (全 23 頁)

(21)出願番号 特願平6-150792

(22)出願日 平成6年(1994)7月1日

(71)出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坪井 幸利

神奈川県横浜市戸塚区吉田町292番地株  
式会社日立製作所映像メディア研究所内

(72) 發明者 奥 万寿男

神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所映像メディア研究所内

(74) 代理人 弁理士 小川 勝男

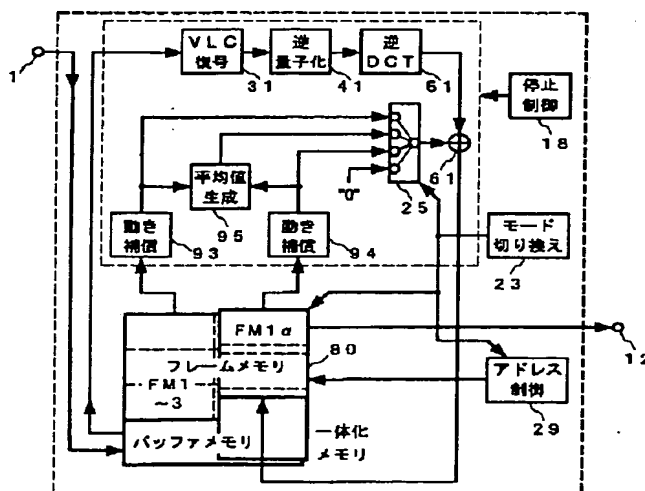
(54)【発明の名称】 動画像復号表示装置

(57) 【要約】

【目的】フレームメモリの枚数、すなわちフレームメモリ容量が少ない動画像復号表示装置を実現する。また、復号処理と表示処理による遅延時間を短くする。

〔構成〕動画像復号表示装置において、フレーム単位で符号化された符号化データの復号処理とインターレース走査で再生画像データを出力する表示処理を行う動画像復号表示装置において、復号処理で必要となる参照画面を保持するフレームメモリと、表示処理で必要となる表示画面を保持するフレームメモリとを、全部あるいは一部だけ共用し、表示処理で必要となる走査変換とフレーム順並び換えをその共用フレームメモリを用いて行う。フレーム単位で所定の復号処理の停止期間を設けたり、復号処理から表示処理までの遅延時間を多少ずらして調整したり、あるいは両者を組み合わせる。

19



## 【特許請求の範囲】

【請求項 1】二つのフィールドから成るフレーム単位でデータ圧縮された映像信号の符号化データを、フレーム内の複数の画素から成る所定サイズのブロック単位で復号して再生画像データを生成する復号処理部と、該復号処理部の出力である再生画像データが書き込まれるフレームメモリと、該フレームメモリに記憶保持された再生画像データを読み出して、フィールド単位でインターレース走査の表示出力を行う表示処理部とを備える動画像復号表示装置であって、該表示処理部が第 1 フィールドの各画素の再生画像データを該フレームメモリから読み出す前に、該復号処理部は該再生画像データを該フレームメモリに書き込み、かつ該表示処理部が第 2 フィールドの各画素の再生画像データを該フレームメモリから読み出した後に、該復号処理部は該再生画像データを該フレームメモリに書き込むことを特徴とする動画像復号表示装置。

【請求項 2】該復号処理部が各フレームの符号化データの復号を実行するフレーム復号期間に対して、該表示処理部が該符号化データから生成された再生画像データの表示出力を実行するフレーム表示期間が、奇数フィールド表示期間に相当する時間だけ遅れていることを特徴とする請求項 1 記載の動画像復号表示装置。

【請求項 3】自フレームで完結するフレーム内符号化と前フレームを参照するフレーム間符号化とが適宜選択されつつ、二つのフィールドから成るフレーム単位でデータ圧縮された映像信号の符号化データを、フレーム内の複数の画素から成る所定サイズのブロック単位で復号して再生画像データを生成する復号処理部と、1 フレーム分以上かつ 2 フレーム分以下の再生画像データを記憶保持可能な容量であって、該復号処理部の出力である再生画像データが書き込まれるフレームメモリと、該フレームメモリに記憶保持された再生画像データを読み出して、フィールド単位でインターレース走査の表示出力を行う表示処理部とを備える動画像復号表示装置であって、該表示処理部が第 1 フィールドの各画素の再生画像データを該フレームメモリから読み出す前に、該復号処理部は該再生画像データを該フレームメモリに書き込み、かつ該表示処理部が第 2 フィールドの各画素の再生画像データを該フレームメモリから読み出した後に、該復号処理部は該再生画像データを該フレームメモリに書き込むことを特徴とする動画像復号表示装置。

【請求項 4】該復号処理部が各フレームの符号化データの復号を実行するフレーム復号期間に対して、該表示処理部が該符号化データから生成された再生画像データの表示出力を実行するフレーム表示期間が、1 フィールド表示期間に相当する時間だけ遅れていることを特徴とする請求項 3 記載の動画像復号表示装置。

【請求項 5】該復号処理部は復号中のフレームが切り換わる際に所定時間だけ復号を停止することを特徴とする

請求項 3 記載の動画像復号表示装置。

【請求項 6】フレーム間符号化は動きベクトルを利用してブロック単位で動き補償を行う符号化であって、該フレームメモリは、1 フレーム分の再生画像データに加えて、動きベクトルによるブロックのシフト量に対応するフレーム内のライン数の最大値と等しいライン数分の再生画像データを記憶保持可能な容量を持つことを特徴とする請求項 4、または 5 記載の動画像復号表示装置。

【請求項 7】該復号処理部の前に符号化データを一時的に記憶保持するバッファメモリを備え、該バッファメモリと該フレームメモリとを一体化した共用メモリで構成することを特徴とする請求項 4、5、または 6 記載の動画像復号表示装置。

【請求項 8】該共用メモリの容量は 8, 388, 608 ビット以下であることを特徴とする請求項 7 記載の動画像復号表示装置。

【請求項 9】自フレームで完結するフレーム内符号化と前フレームを参照するフレーム間符号化と前フレームおよび後フレームの両方を参照するフレーム内挿符号化とが適宜選択されつつ、二つのフィールドから成るフレーム単位でデータ圧縮された映像信号の符号化データを、フレーム内の複数の画素から成る所定サイズのブロック単位で復号して再生画像データを生成する復号処理部と、3 フレーム分以上かつ 4 フレーム分以下の再生画像データを記憶保持可能な容量であって、該復号処理部の出力である再生画像データが書き込まれるフレームメモリと、該フレームメモリに記憶保持された再生画像データを読み出して、フィールド単位でインターレース走査の表示出力を行う表示処理部とを備える動画像復号表示装置であって、該表示処理部が第 1 フィールドの各画素の再生画像データを該フレームメモリから読み出す前に、該復号処理部は該再生画像データを該フレームメモリに書き込み、かつ該表示処理部が第 2 フィールドの各画素の再生画像データを該フレームメモリから読み出した後に、該復号処理部は該再生画像データを該フレームメモリに書き込むことを特徴とする動画像復号表示装置。

【請求項 10】該復号処理部が各フレームの符号化データの復号を実行するフレーム復号期間に対して、該表示処理部が該符号化データから生成された再生画像データの表示出力を実行するフレーム表示期間が、奇数フィールド表示期間に相当する時間だけ遅れていることを特徴とする請求項 9 記載の動画像復号表示装置。

【請求項 11】該復号処理部は復号中のフレームが切り換わる際に所定時間だけ復号を停止することを特徴とする請求項 9 記載の動画像復号表示装置。

【請求項 12】該フレームメモリは 3 フレーム分の再生画像データを記憶保持可能な容量を持つことを特徴とする請求項 10、または 11 記載の動画像復号表示装置。

【請求項 13】該復号処理部の前に符号化データを一時

的に記憶保持するバッファメモリを備え、該バッファメモリと該フレームメモリとを一体化した共用メモリで構成することを特徴とする請求項 1 0、1 1、または 1 2 記載の動画像復号表示装置。

【請求項 1 4】該共用メモリの容量は 1 6、7 7 7、2 1 6 ビット以下であることを特徴とする請求項 1 3 記載の動画像復号表示装置。

【請求項 1 5】自フレームで完結するフレーム内符号化と前フレームを参照するフレーム間符号化とが適宜選択されつつ、二つのフィールドから成るフレーム単位でデータ圧縮された映像信号の符号化データを復号し、フィールド単位でインターレース走査の表示出力を行う第一の動作モードと、自フレームで完結するフレーム内符号化と前フレームを参照するフレーム間符号化と前フレームおよび後フレームの両方を参照するフレーム内挿符号化とが適宜選択されつつ、二つのフィールドから成るフレーム単位でデータ圧縮された映像信号の符号化データを復号し、フィールド単位でインターレース走査の表示出力を行う第二の動作モードを備え、フレーム内の複数の画素から成る所定サイズのブロック単位で符号化データを復号して再生画像データを生成する復号処理部と、第一の動作モードに動作を固定する場合には 1 フレーム分以上かつ 2 フレーム分以下、第一の動作モードと第二の動作モードとで動作を切り換え可能とする場合には 3 フレーム分以上かつ 4 フレーム分以下の再生画像データを記憶保持可能な容量であって、該復号処理部の出力である再生画像データが書き込まれるフレームメモリと、該フレームメモリに記憶保持された再生画像データを読み出して、フィールド単位でインターレース走査の表示出力を行う表示処理部とを備える動画像復号表示装置であって、該表示処理部が第 1 フィールドの各画素の再生画像データを該フレームメモリから読み出す前に、該復号処理部は該再生画像データを該フレームメモリに書き込み、かつ該表示処理部が第 2 フィールドの各画素の再生画像データを該フレームメモリから読み出した後に、該復号処理部は該再生画像データを該フレームメモリに書き込むことを特徴とする動画像復号表示装置。

【請求項 1 6】該復号処理部が各フレームの符号化データの復号を実行するフレーム復号期間に対して、該表示処理部が該符号化データから生成された再生画像データの表示出力を実行するフレーム表示期間が、奇数フィールド表示期間に相当する時間だけ遅れていることを特徴とする請求項 1 5 記載の動画像復号表示装置。

【請求項 1 7】該復号処理部は復号中のフレームが切り換わる際に所定時間だけ復号を停止することを特徴とする請求項 1 5 記載の動画像復号表示装置。

【請求項 1 8】フレーム間符号化およびフレーム内挿符号化は動きベクトルを利用してブロック単位で動き補償を行う符号化であって、該フレームメモリは、第一の動作モードに動作を固定する場合には、1 フレーム分の再

生画像データに加えて、動きベクトルによるブロックのシフト量に対応するフレーム内のライン数の最大値と等しいライン数分の再生画像データを記憶保持可能な容量を持ち、第一の動作モードと第二の動作モードとで動作を切り換え可能とする場合には、3 フレーム分の再生画像データを記憶保持可能な容量を持つことを特徴とする請求項 1 6、または 1 7 記載の動画像復号表示装置。

【請求項 1 9】該復号処理部の前に符号化データを一時的に記憶保持するバッファメモリを備え、該バッファメモリと該フレームメモリとを一体化した共用メモリで構成することを特徴とする請求項 1 6、1 7、または 1 8 記載の動画像復号表示装置。

【請求項 2 0】該共用メモリの容量は、第一の動作モードに動作を固定する場合には 8、3 8 8、6 0 8 ビット以下であり、第一の動作モードと第二の動作モードとで動作を切り換え可能とする場合には 1 6、7 7 7、2 1 6 ビット以下であることを特徴とする請求項 1 9 記載の動画像復号表示装置。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、高能率符号化によりデータ圧縮された動画像の符号化データを復号し、再生画像データを表示のために出力する動画像復号表示装置に関する。

【0 0 0 2】

【従来の技術】動画像の高能率符号化方式としては、高いデータ圧縮率を実現するためのフレーム間符号化方式が知られている。これは、動画像では通常フレーム間の相関が高いことを利用して、データ圧縮率を高める方式である。例えば、動き補償フレーム間予測符号化方式が知られている。これは、前フレームと現在のフレームとを所定サイズのブロック単位で比較して動きベクトルを求めた後、その動きベクトルによりシフトさせた位置から前フレームのブロックの画像データを読み出し、符号化すべき現在のフレームの画像データからその予測値を減算して、動き補償予測誤差を所定の方式でデータ圧縮する方式である。動き補償予測誤差をデータ圧縮する方式としては、画像データそのものを符号化するフレーム内符号化方式と同等の方式が用いられる。

【0 0 0 3】フレーム内符号化方式は、フレームごとに独立に画像データそのものを符号化する方式であり、例えば、変換符号化方式が知られている。これは、フレームを所定サイズのブロックに分割した後に、ブロック単位で所定の直交変換を行い、周波数成分に相当する変換後の係数データを量子化、および可変長符号化して符号化データを生成する方式である。これは、動画像の各フレームにおいて、通常フレーム内の画像データには高い相関があることを利用してデータ圧縮する方式である。

【0 0 0 4】動画像符号化装置では、動画像をデータ圧縮した符号化データをデータ記録媒体に記録する、また

は通信回線を介して送信する。それに対して、動画像復号表示装置では、データ記録媒体から再生した、または通信回線を介して受信した符号化データを復号し、再生映像信号として表示装置に出力する。動画像復号表示装置において、受け取った符号化データの復号を正常に開始できるのは、基本的にフレーム内符号化されたデータからであるので、動画像符号化装置においては、このようなフレーム内符号化されたフレームを適当な間隔で設けるのが普通である。すなわち、フレーム内符号化フレーム（以下、Iフレームと呼ぶ）とフレーム間符号化フレーム（以下、Pフレームと呼ぶ）とを織り交ぜながら符号化することになる。

【0005】データ記録媒体に符号化データを記録するシステムにおいては、その再生時に多少の遅延時間は許容されるため、データ圧縮率をさらに高めるためにフレーム内挿符号化方式も併用されることがある。このフレーム内挿符号化方式は、前フレームだけでなく後フレームとの相関も利用してデータ圧縮率を高める方式である。例えば、双方向動き補償フレーム間予測符号化方式が知られている。これは、表示順で前のフレームと現在のフレームとを所定サイズのブロック単位で比較して動きベクトルを求めると同時に、表示順で後のフレームに対しても同様にしてブロック単位で動きベクトルを求めた後、それぞれの動きベクトルによりシフトさせた位置から前フレーム、および後フレームのブロックの画像データを読み出して平均値を生成し、符号化すべき現在のフレームの画像データからそのフレーム内挿値を減算して動き補償予測誤差を所定の方式でデータ圧縮する方式である。例えば、第1フレームに対してフレーム内符号化を行った後に、第4フレームに対して第1フレームを参照画面としてフレーム間符号化を行い、その後に第2フレームと第3フレームに対して第1フレームと第4フレームの両方を参照画面としてフレーム内挿符号化することになる。このフレーム内挿符号化されたフレーム（以下、Bフレームと呼ぶ）がその後の符号化において参照画面として用いられることはない。

【0006】特にデータ記録媒体への符号化データの記録を行うシステムにおいて、動画像符号化装置は、以上説明したIフレームとPフレーム、Bフレームとを適宜織り交ぜながら符号化を行うことで、高いデータ圧縮率とランダムアクセスや編集等の機能の両立を実現することが可能となる。Bフレームを含めて符号化した場合には符号化側でフレーム順の並び換えが行われる。なお、インターレース走査されている映像信号を、IフレームとPフレーム、Bフレームとを適宜織り交ぜながら符号化する動画像符号化方式としては、テレビジョン学会誌、第48巻、第1号（1994年）、第44頁から第49頁において概説されている方式が知られている。

【0007】現行TVの映像信号はインターレース走査された信号であるため、ライン数が半分でライン位置が

交互にずれている2枚のフィールドから、1枚のフレームは構成される。1フレームを構成する各フィールドの間には時間のずれもある。したがって、動画像復号表示装置においては、このインターレース走査された映像信号を表示のために出力する必要がある。しかしながら、データ圧縮の際には、各フレームが所定サイズのブロックに分割されフレーム単位で符号化処理されることが一般的であるので、動画像復号表示装置における復号処理において、復号した結果の再生画像データの出力は、フレームの中で左上から右下へ向かうブロック単位での順次走査の順番となる。したがって、動画像復号表示装置においては、ブロック単位の順次走査と画素単位のインターレース走査との走査変換の処理が必要となる。また、Bフレームが含まれる場合、再生側で正常な順番で各フレームの表示を行うためには、符号化データの復号を行った後にフレーム順の並び換えの処理も必要となる。

【0008】以上を満足する動画像復号表示装置として従来考えられてきたものは、復号処理回路と表示処理回路とを単純にシリーズ接続したものである。ここで表示処理回路とは、走査変換とフレーム順並び換えの処理を行うための回路である。

【0009】符号化データがIフレームとPフレームとから成る（以下、IP構造と呼ぶ）場合には、動画像復号表示装置は、参照画面として用いる前フレームを記憶保持する1枚のフレームメモリを備える復号処理回路と、ブロック単位の順次走査と画素単位のインターレース走査との走査変換を行うために、フレーム単位で交互に書き込みと読み出しが切り換えられる2枚のフレームメモリを備える表示処理回路とから成る。このとき、合計3枚のフレームメモリが必要となる。また、Iフレームの符号化データから復号を開始した後、実際にそのIフレームが表示されるまでの遅延時間は最低1フレームとなる。

【0010】また、符号化データがIフレームとPフレームだけでなくBフレームも含む（以下、IBP構造と呼ぶ）場合には、動画像復号表示装置は、参照画面として用いる前フレームと後フレームをそれぞれ記憶保持する2枚のフレームメモリを備える復号処理回路と、ブロック単位の順次走査と画素単位のインターレース走査との走査変換を行うため、およびフレーム順の並び換えを行うために、フレーム単位で選択されつつ書き込みと読み出しが適宜切り換えられる3枚のフレームメモリを備える表示処理回路とから成る。このとき、合計5枚のフレームメモリが必要となる。また、Iフレームの符号化データから復号を開始した後、実際にそのIフレームが表示されるまでの遅延時間は最低2フレームとなる。

【0011】なお、IフレームとPフレーム、Bフレームとが適宜選択されつつ符号化された符号化データを復号して表示出力を行う動画像復号表示装置として関連す

10

20

30

40

50

るものには、例えば日経エレクトロニクス、第 6 0 3 号 ( 1 9 9 4 年 3 月 1 4 日 )、第 9 3 頁から第 1 0 0 頁に記載されている動画像復号表示装置が挙げられる。

【 0 0 1 2 】

【発明が解決しようとする課題】しかしながら、上記従来技術ではフレームメモリの枚数、すなわちフレームメモリ容量が大きいという課題があった。フレームメモリ容量が大きいということは、メモリ素子個数の増加や大容量メモリ素子の採用によるコストアップにつながる。

【 0 0 1 3 】例えば、現行 TV の 5 2 5 / 6 0 方式 ( 日本や米国において用いられている方式 ) の映像信号の場合、通常 1 3 . 5 M H z のサンプリング周波数で輝度信号は 8 ビットに標準化され、フレームを構成する輝度信号の有効な画素数は水平 7 2 0 画素 × 垂直 4 8 0 ラインである。また、2 種類の色差信号の画素数を、輝度信号の画素数に対して水平も垂直もそれぞれ 1 / 2 倍とする場合がある。この信号フォーマット ( 以下、[ 4 : 2 : 0 ] フォーマットと呼ぶ ) では、フレームを構成する色差信号の有効な画素数は水平 3 6 0 画素 × 垂直 2 4 0 ラインとなる。フィールドの画素数はフレームの画素数に対して垂直のライン数が半分となる。1 フレームの画像データのデータ量は、輝度信号に関して  $7 2 0 \times 4 8 0 \times 8 = 2, 7 6 4, 8 0 0$  ビット、2 種類の色差信号に関してそれぞれ  $3 6 0 \times 2 4 0 \times 8 = 6 9 1, 2 0 0$  ビットとなる。合計で 4, 1 4 7, 2 0 0 ビット、すなわち約 4 M ビット ( 1 M ビット = 1, 0 4 8, 5 7 6 ビット ) のデータ量となる。

【 0 0 1 4 】したがって、5 2 5 / 6 0 方式の現行 TV の場合、I P 構造の符号化データに対応した処理を行う動画像復号表示装置においては、3 枚のフレームメモリが必要であるからフレームメモリ容量は合計約 1 2 M ビットとなる。また、I B P 構造の符号化データに対応した処理を行う動画像復号表示装置においては、5 枚のフレームメモリが必要であるからフレームメモリ容量は合計約 2 0 M ビットとさらに大きくなる。

【 0 0 1 5 】また、H D T V の映像信号については、現行 TV よりも解像度が高いためにフレームを構成する画素数はさらに増加している。したがって、H D T V の映像信号をデータ圧縮した符号化データに対応した処理を行う動画像復号表示装置においては、必要なフレームメモリ容量は上記した値の複数倍と非常に大きくなる。

【 0 0 1 6 】本発明の目的は、フレームメモリの枚数、すなわちフレームメモリ容量が小さい動画像復号表示装置を実現することにある。また、復号処理と表示処理による遅延時間を短くすることにある。

【 0 0 1 7 】

【課題を解決するための手段】上記目的を達成するために、本発明では、復号処理で必要となる参照画面を保持するフレームメモリと、表示処理で必要となる表示画面を保持するフレームメモリとを、全てあるいは一部だけ

共用する。さらに、復号処理しているフレームの再生画像データが書き込まれて前フレームの再生画像データが書き換えられる前に、復号処理で必要となる前フレームの再生画像データの読み出しと表示処理のための前フレームの再生画像データの読み出しとを完了させるように、復号処理と表示処理を制御する。

【 0 0 1 8 】I P 構造の符号化データのみの復号処理と表示処理を行う場合には、2 枚の共用フレームメモリを設ける。また、I B P 構造の符号化データの復号処理と表示処理も行う場合には、4 枚の共用フレームメモリを設ける。それぞれの共用フレームメモリに対する復号処理の書き込みと表示処理の読み出しとを、フレームごとに適宜切り換える。

【 0 0 1 9 】あるいは、I P 構造の符号化データのみの復号処理と表示処理を行う場合には、1 フレーム分よりも多少メモリ容量が大きい 1 枚の共用フレームメモリを設ける。また、I B P 構造の符号化データの復号処理と表示処理も行う場合には、3 枚の共用フレームメモリを設ける。それぞれの共用フレームメモリに対する復号処理の書き込みと表示処理の読み出しをフレームごとに適宜切り換えるとともに、復号処理と表示処理との間に奇数フィールド分に相当する遅延時間を設ける。I P 構造では約 1 フィールドの遅延時間とし、I B P 構造では約 3 フィールドの遅延時間とする。フレーム単位で所定の復号処理の停止期間を設けるか、復号処理から表示処理までの遅延時間をさらに多少ずらして設定するか、あるいはそれらの両者の組み合わせが行われる。

【 0 0 2 0 】

【作用】復号処理で必要となる参照画面を保持するフレームメモリは必須であるが、そのフレームメモリを表示処理で必要となる表示画面を保持するフレームメモリと共用することにより、フレームメモリの枚数、すなわちフレームメモリ容量を従来よりも削減することができる。

【 0 0 2 1 】復号処理された再生画像データをフレームメモリに書き込む順番はブロック単位の順次走査であるのに対して、表示処理のためにフレームメモリから再生画像データを読み出す順番は画素単位のインターレース走査である。両者で共用フレームメモリに対する書き込みアドレス、および読み出しアドレスのアドレス変化の様子は異なるので、復号処理では 2 枚の共用フレームメモリに対して交互に再生画像データを書き込み、表示処理では表示すべき再生画像データが格納されている方を選択して再生画像データを読み出すことにより、I P 構造の場合に表示処理で必要となる走査変換の処理が実現できる。また、同様にして、I B P 構造の場合に表示処理で必要となる走査変換とフレーム順の並び換えの処理も、4 枚の共用フレームメモリに対する復号処理された再生画像データの書き込みと、表示処理のための再生画像データの読み出しとを、適宜いずれかの共用フレーム

メモリを選択して行うことにより実現できる。

【0022】あるいは、復号処理では1枚の共用フレームメモリに対して連続したフレーム期間で再生画像データを書き込み、表示処理をその復号処理に対して約1フィールド遅延して開始することにより、表示処理で必要となる走査変換の処理が実現できる。フレーム単位で所定の復号処理の停止期間を設けるか、復号処理から表示処理までの遅延時間をさらに多少ずらして設定するか、あるいはそれらの両者の組み合わせることにより、表示のための第1フィールドの読み出しが終わる前にはそのフレームの再生画像データの書き込みを完了させ、かつ表示のための第2フィールドの読み出しを始めた後で次のフレームの再生画像データの書き込みを開始させることができる。これにより、1枚の共用フレームメモリで、IP構造の場合の表示処理で必要となる走査変換の処理を実現することができる。この場合、共用フレームメモリは1フレーム分よりも多少メモリ容量が大きいので、参照画面として読み出す必要がある前フレームの再生画像データは、復号処理したフレームの再生画像データで書き換えられる前に読み出すことができる。また、同様に、IBP構造の場合の表示処理で必要となる走査変換とフレーム順の並び換えの処理も、2種類の参照画面を保持するために必須となる2枚に1枚追加した合計3枚の共用フレームメモリで実現することができる。上述したIP構造の場合と同じ方法で、走査変換の処理が行われる。フレーム順の並び換えの処理は、Bフレーム格納のために追加した1枚の共用フレームメモリからBフレームを読み出すことに加え、参照画面を保持する2枚の共用フレームメモリから適当なタイミングで1フレームやPフレームを読み出すことにより行われ

【0023】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。まず、本発明の第一の実施例について説明する。

【0024】図1は、本発明の第一の実施例である動画復号表示装置のブロック図である。IP構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う動画復号表示装置である。

【0025】図1において、1は符号化データの入力端子、2はバッファメモリ、3はVLC（可変長符号）復号回路、4は逆量子化回路、5は逆DCT（ディスクリートコサイン変換）回路、6は予測加算回路、71・72はフレームメモリ、8はメモリ選択回路、9は動き補償回路、10は予測切り換え回路、11は表示切り換え回路、12は再生画像データの出力端子である。なお、フレームメモリ71は2枚のフィールドメモリから構成されるものであり、以下FM1と記す。同様に、フレームメモリ72も2枚のフィールドメモリから構成されるものであり、以下FM2と記す。

【0026】図2は、図1の動画復号表示装置における処理の流れとタイミングを示す説明図である。（a）は復号処理する符号化データのフレーム順を、（d）は表示処理する再生画像データのフレーム順を示している。また、（b）はFM1のメモリイメージを、（c）はFM2のメモリイメージを示している。各フレームメモリをそれぞれ2枚のフィールドメモリに分けて図示しており、上半分が第1フィールドのフィールドメモリのイメージを、下半分が第2フィールドのフィールドメモリのイメージを示している。それぞれ上から下に向かって、表示走査の順にアドレスが増加していく。

【0027】図2において、（a）から（b）・（c）に向かう下向きの矢印は、各フレームの符号化データを復号処理した結果である再生画像データをフレームメモリへ書き込む「復号ライト」の様子を示している。また、（b）・（c）から（a）に向かう上向きの矢印は、各フレームの符号化データを復号処理するために必要となる前フレームの再生画像データをフレームメモリから読み出す「参照リード」の様子を示している。さらに、（b）・（c）から（d）に向かう下向きの矢印は、各フレームの再生画像データをフィールド単位で表示処理のためにフレームメモリから読み出す「表示リード」の様子を示している。

【0028】図1の動画復号表示装置においては、各ブロックの符号化データの復号処理に一定時間のブロック処理期間が割り当てられている。そして、各フレームの符号化データの復号処理が必ず1フレーム期間以内に終了するように、そのブロック処理期間が定められている。本実施例は、525/60方式で[4:2:0]フォーマットの現行TV映像信号に対応した動画復号表示装置であり、1フレームにおける輝度信号の有効な画素数は、水平720画素×垂直480ラインである。また、1フレームにおける2種類の色差信号の有効な画素数は、それぞれ水平360画素×垂直240ラインである。ブロックサイズは、輝度信号については16×16画素であり、対応した色差信号については8×8画素である。

【0029】まず、入力端子1から固定ビットレートで連続的に符号化データが入力され、一旦バッファメモリ2に蓄えられる。VLC復号回路3は、各ブロック処理期間において、ブロックの符号化データをバッファメモリ2から読み出して可変長符号の復号を行い、ブロックの量子化係数データを再生する。逆量子化回路4は、各ブロック処理期間において、VLC復号回路3の出力であるブロックの量子化係数データを、量子化の粗さを示す量子化パラメータに従って逆量子化し、ブロックのDCT係数データを再生する。なお、図1には明示していないが、符号化データに付加されている量子化パラメータは、VLC復号回路5がバッファメモリ2から読み出した符号化データから抜き出され、逆量子化回路4にお

いて用いられる。逆 D C T 回路 5 は、各ブロック処理期間において、逆量子化回路 4 の出力であるブロックの D C T 係数データに対して逆ディスクリットコサイン変換を行い、ブロックの予測誤差データを再生する。

【 0 0 3 0 】 予測加算回路 6 は、各ブロック処理期間において、逆 D C T 回路 5 の出力であるブロックの予測誤差データに、予測切り換え回路 1 0 の出力であるブロックの予測画像データを加算し、ブロックの再生画像データを再生する。そして、以上の復号処理により再生されたブロックの再生画像データは、各ブロック処理期間において、F M 1 ( フレームメモリ 7 1 ) または F M 2 ( フレームメモリ 7 2 ) のどちらかに書き込まれる。再生画像データを格納するフレームメモリのアドレスは、左画素から右画素へ、そして上ラインから下ラインへ、さらに第 1 フィールドの次に第 2 フィールドという、インターレースの表示走査の順に増加していく。したがって、各ブロックの「復号ライト」では、書き込みアドレスは連続的に増加するのではなく途中で飛びが発生する。ただし、1 フレームの「復号ライト」では、書き込みアドレスの不連続は存在するものの全体的には徐々にアドレスが増加していく。図 2 の ( b ) ・ ( c ) において、少し幅が広がっている濃い網かけの線がこの様子を示している。

【 0 0 3 1 】 フレーム間符号化が行われている P フレームにおいては、F M 1 または F M 2 のどちらかに記憶保持されている前フレームの再生画像データが読み出され、予測画像データとして予測加算回路 6 に与えられる。メモリ選択回路 8 は、各フレーム期間において、「復号ライト」されている方のフレームメモリではなく、もう一方のフレームメモリを選択する。動き補償回路 9 は、各ブロック処理期間において、メモリ選択回路 8 で選択されている F M 1 または F M 2 のどちらから前フレームの再生画像データを読み出し、ブロックの予測画像データとして出力する。ブロックのシフト量を示す動きベクトルに従って、シフトされた画面位置からブロックの予測画像データを読み出すものである。したがって、各ブロックの「参照リード」では、読み出しアドレスは連続的に増加するのではなく途中で飛びが発生すると同時に、一般的に動きベクトルの大きさに従って読み出しアドレスに正または負のオフセットが付加される。ただし、1 フレームの「参照リード」では、読み出しアドレスの不連続は存在するものの全体的には徐々にアドレスが増加していく。図 2 の ( b ) ・ ( c ) において、幅が広がっている薄い網かけの線がこの様子を示している。

【 0 0 3 2 】 なお、図 1 には明示していないが、符号化データに付加されている動きベクトルは、V L C 復号回路 5 がバッファメモリ 2 から読み出した符号化データから抜き出され、動き補償回路 9 において用いられる。ただし、P フレームであってもフレーム内符号化されてい

るブロック、および必ずフレーム内符号化されている I フレームのブロックについては、フレームメモリからの予測画像データの読み出しは不要であるため、動き補償回路 9 は処理を停止する。予測切り換え回路 1 0 は、各ブロック処理期間において、フレーム間符号化されているブロックでは動き補償回路 9 の出力である予測画像データを選択し、フレーム内符号化されているブロックでは固定値の“ 0 ”を選択するものである。

【 0 0 3 3 】 以上説明した各フレームの符号化データの復号処理において、フレームメモリ F M 1 に対する「復号ライト」と「参照リード」は、フレーム期間ごとに交互に切り換えられる。フレームメモリ F M 2 についても同様である。

【 0 0 3 4 】 復号処理された結果である再生画像データの表示処理は、各フレーム期間において、「復号ライト」されていない方のフレームメモリ、すなわち「参照リード」されている方のフレームメモリから、表示のために再生画像データを読み出すことにより行われる。F M 1 と F M 2 はフレーム期間ごとに交互に切り換えられることになる。再生画像データを格納するフレームメモリのアドレスはインターレースの表示走査の順に増加していくので、2 フィールドから成る各フレームの再生画像データを読み出す「表示リード」では、読み出しアドレスは連続的に増加していく。ただし、フィールドとフィールドの間に存在する垂直帰線期間において、一時的に「表示リード」は中断される。図 2 の ( b ) ・ ( c ) において、太実線がこの様子を示している。

【 0 0 3 5 】 表示切り換え回路 1 1 は、各フィールド期間 ( フレーム期間の半分の時間 ) において、フレームメモリ F M 1 を構成する 2 枚のフィールドメモリ、およびフレームメモリ F M 2 を構成する 2 枚のフィールドメモリを順番に選択し、選択したフィールドメモリから再生画像データを読み出して出力端子 1 2 から出力する。

【 0 0 3 6 】 以上の通り、本発明の第一の実施例である動画像復号表示装置は、フレームメモリが 2 枚で構成されている。5 2 5 / 6 0 方式で [ 4 : 2 : 0 ] フォーマットの場合に必要な 1 フレーム分のメモリ容量は約 4 M ビットであるから、合計のフレームメモリ容量は約 8 M ビットとなる。また、バッファメモリ 2 における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は 1 フレーム期間である。ただし、図 2 で「復号ライト」のアドレス変化を示す濃い網かけの線と「表示リード」を示す太実線が交わらない限りにおいては、「表示リード」のタイミングをずらすことも可能である。このとき、復号から表示までの遅延時間を 0 . 5 フレーム期間程度まで短縮することができる。

【 0 0 3 7 】 本発明の第一の実施例である動画像復号表示装置の特徴は、同等の動作をする従来例との比較により明確となる。そこで、その動画像復号表示装置の従来

例について簡単に説明する。

【0038】図3は、IP構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う、動画像復号表示装置の従来例のブロック図である。図3において、75は遅延メモリ、72・73・76はフレームメモリである。その他の回路ブロックは、図1に示した本発明の第一の実施例の場合と同じものである。同一の符号を付けている。なお、フレームメモリ76を、以下FM1と記す。また、フレームメモリ72は2枚のフィールドメモリから構成されるものであり、以下FM2と記す。同様に、フレームメモリ73も2枚のフィールドメモリから構成されるものであり、以下FM3と記す。

【0039】図4は、図3の動画像復号表示装置における処理の流れとタイミングを示す説明図である。(a)は復号処理する符号化データのフレーム順を、(e)は表示処理する再生画像データのフレーム順を示している。また、(b)はFM1のメモリイメージを、(c)はFM2のメモリイメージを、(d)はFM3のメモリイメージを示している。図2の場合と同様に、各フレームメモリを2枚のフィールドメモリに分けて図示している。FM1は実際には2枚のフィールドメモリから構成される訳ではないが、ここでは仮想的に2枚のフィールドメモリに分けて示している。また、図2の場合と同様に、(a)から(b)に向かう下向きの矢印は「復号ライト」の様子を、(b)から(a)に向かう上向きの矢印は「参照リード」の様子を、(c)・(d)から(e)に向かう下向きの矢印は「表示リード」の様子を示している。

【0040】図3の動画像復号表示装置は、破線で囲まれている通り、復号処理部と表示処理部の二つに分けられる。復号処理部において、各ブロックの符号化データの復号処理は、一定時間のブロック処理期間に行われる。入力端子1から入力された符号化データは一旦バッファメモリ2に蓄えられる。VLC復号回路3は符号化データをバッファメモリ2から読み出して可変長符号を復号する。その後、逆量子化回路4において逆量子化が、逆DCT回路5において逆ディスクリートコサイン変換が、予測加算回路6において予測画像データの加算が行われ、再生画像データが再生される。この再生画像データは、遅延メモリ75で所定時間だけ遅延された後に、FM1(フレームメモリ76)に書き込まれる。図4の(b)において、少し幅が広がっている濃い網かけの線がこの「復号ライト」の様子を示している。

【0041】動き補償回路9は、Pフレームにおいてフレーム間符号化されているブロックにおいて、FM1から前フレームの再生画像データを読み出し、予測画像データとして出力する。図4の(b)において、幅が広がっている薄い網かけの線がこの「参照リード」の様子を示している。なお、図4から明らかなように、FM1か

らの「参照リード」が済んだ後で、FM1に対する「復号ライト」を行う必要があるために、遅延メモリ75が設けられている。予測切り換え回路10は、フレーム内符号化されているブロックにおいて、予測画像データを固定値「0」とするものである。

【0042】復号処理部で復号処理された結果である再生画像データは、予測加算回路6から表示処理部に出力される。表示処理部において、再生画像データは、FM2(フレームメモリ72)またはFM3(フレームメモリ73)のどちらかに書き込まれる。FM2とFM3への書き込みはフレーム期間ごとに切り換えられる。図4の(c)・(d)において、少し幅が広がっている濃い網かけの線がこの書き込みの様子を示している。再生画像データの表示処理は、各フレーム期間において、書き込みが行われていない方のフレームメモリから、表示のために再生画像データを読み出すことにより行われる。FM2とFM3からの読み出しもフレーム期間ごとに切り換えられることになる。図4の(c)・(d)において、太実線がこの「表示リード」の様子を示している。

【0043】表示切り換え回路11は、フレームメモリFM2を構成する2枚のフィールドメモリ、およびフレームメモリFM3を構成する2枚のフィールドメモリから順番に再生画像データを読み出して出力端子12から出力する。表示処理部における2枚のフレームメモリFM2とFM3は、ブロック単位の順次走査から画素単位のインターレース走査へ走査変換を行うために設けられているものである。

【0044】以上の通り、動画像復号表示装置の従来例は、フレームメモリが3枚で構成されている。また、バッファメモリ2における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は1フレーム期間である。

【0045】したがって、図1に示した本発明の第一の実施例の動画像復号表示装置では、図3に示した従来例よりもフレームメモリが1枚少ない、すなわちフレームメモリ容量が削減されているので、コストダウンが実現できる。

【0046】次に、本発明の第二の実施例について説明する。

【0047】図5は、本発明の第二の実施例である動画像復号表示装置のブロック図である。IBP構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う動画像復号表示装置である。ただし、IP構造により符号化された符号化データの復号処理および再生画像データの表示処理も行える。

【0048】図5において、1は符号化データの入力端子、2はバッファメモリ、3はVLC復号回路、4は逆量子化回路、5は逆DCT回路、6は予測加算回路、71~74はフレームメモリ、81・82はメモリ選択回路、91・92は動き補償回路、13は平均値生成回



路、14は予測切り換え回路、15は表示切り換え回路、12は再生画像データの出力端子である。なお、フレームメモリ71～74は、それぞれ2枚のフィールドメモリから構成されるものであり、以下FM1～FM4と記す。

【0049】図6は、図5の動画像復号表示装置における処理の流れとタイミングを示す説明図である。(a)は復号処理する符号化データのフレーム順を、(f)は表示処理する再生画像データのフレーム順を示している。また、(b)～(e)はFM1～FM4のメモリーイメージをそれぞれ示している。各フレームメモリをそれぞれ2枚のフィールドメモリに分けて図示しており、上半分が第1フィールドのフィールドメモリのイメージを、下半分が第2フィールドのフィールドメモリのイメージを示している。また、(a)から(b)～(e)に向かう下向きの矢印は「復号ライト」の様子を、(b)～(e)から(a)に向かう上向きの矢印は「参照リード」の様子を、(b)～(e)から(f)に向かう下向きの矢印は「表示リード」の様子を示している。

【0050】図6は、動画像復号表示装置に入力される符号化データの並びが、(a)に示す通り、Iフレーム(I1)、Pフレーム(P4)、Bフレーム(B2)、Bフレーム(B3)、Pフレーム(P5)、Pフレーム(P6)、...となっている場合の例を示している。このとき、(e)に示す通り、動画像復号表示装置から出力される再生画像データの並びは、Iフレーム(I1)、Bフレーム(B2)、Bフレーム(B3)、Pフレーム(P4)、...という順番となる。すなわち、Bフレームが存在するためフレーム順の並び換えが行われる。

【0051】本実施例は、525/60方式で[4:2:0]フォーマットの現行TV映像信号に対応した動画像復号表示装置であり、1フレームにおける輝度信号の有効な画素数は、水平720画素×垂直480ラインである。また、1フレームにおける2種類の色差信号の有効な画素数は、それぞれ水平360画素×垂直240ラインである。ブロックサイズは輝度信号については16×16画素であり、対応した色差信号については8×8画素である。

【0052】図5の動画像復号表示装置においては、各ブロックの符号化データの復号処理に一定時間のブロック処理期間が割り当てられている。バッファメモリ2、VLC復号回路3、逆量子化回路4、逆DCT回路5、および予測加算回路6の動作は、図1に示した本発明の第一の実施例の場合と全く同じである。まず、入力端子1から固定ビットレートで連続的に符号化データが入力され、一旦バッファメモリ2に蓄えられる。そして、VLC復号回路3は、各ブロック処理期間において、ブロックの符号化データをバッファメモリ2から読み出して可変長符号の復号を行う。その後、各ブロック処理期間

において、逆量子化回路4は逆量子化を、逆DCT回路5は逆ディスクリットコサイン変換を、予測加算回路6は予測画像データの加算を行い、ブロックの再生画像データを再生する。

【0053】以上の復号処理により再生されたブロックの再生画像データは、各ブロック処理期間において、FM1～FM4(フレームメモリ71～74)のいずれかに書き込まれる。1フレームの「復号ライト」では、書き込みアドレスの不連続は存在するものの全体的には徐々にアドレスが増加していく。図6の(b)～(e)において、少し幅が広がっている濃い網かけの線がこの「復号ライト」の様子を示している。各フレームの再生画像データの「復号ライト」は、それ以前に復号処理された2枚のIフレームまたはPフレームについて「復号ライト」が行われた2枚のフレームメモリ以外で、かつ直前に復号処理されたフレームがBフレームである場合にはそのBフレームについて「復号ライト」が行われたフレームメモリ以外のフレームメモリに対して行われる。さらに、IフレームまたはPフレームの再生画像データの「復号ライト」は、その前に復号処理されたIフレームまたはPフレームについて「復号ライト」が行われたフレームメモリがFM1またはFM2である場合には、FM3またはFM4のどちらかに対して行われる。また、その前に復号処理されたIフレームまたはPフレームについて「復号ライト」が行われたフレームメモリがFM3またはFM4である場合には、FM1またはFM2のどちらかに対して行われる。

【0054】フレーム間符号化が行われているPフレームにおいて、FM1～FM4のいずれかに記憶保持されている、表示順で前フレームの再生画像データが読み出される。表示順で前フレームの再生画像データがFM1またはFM2に記憶保持されている場合には、動き補償回路91が、各ブロック処理期間において、メモリ選択回路81で選択されたFM1またはFM2のどちらかから前フレームの再生画像データを読み出し、ブロックの予測画像データとして出力する。また、FM3またはFM4に記憶保持されている場合には、動き補償回路92が、各ブロック処理期間において、メモリ選択回路82で選択されたFM3またはFM4のどちらかから前フレームの再生画像データを読み出し、ブロックの予測画像データとして出力する。

【0055】フレーム内挿符号化が行われているBフレームにおいて、FM1～FM4のいずれかに記憶保持されている、表示順で前フレームの再生画像データと表示順で後フレームの再生画像データが読み出される。表示順で前フレームの再生画像データがFM1またはFM2に記憶保持されている場合には、動き補償回路91が、各ブロック処理期間において、メモリ選択回路81で選択されたFM1またはFM2のどちらかから前フレームの再生画像データを読み出し、ブロックの予測画像データとして出力する。

タとして出力する。その場合には、表示順で後フレームの再生画像データはFM3またはFM4に記憶保持されているので、動き補償回路92が、各ブロック処理期間において、メモリ選択回路82で選択されたFM3またはFM4のどちらかから後フレームの再生画像データを読み出し、ブロックの予測画像データとして出力する。また、以上と逆の場合もありえる。動き補償回路91と動き補償回路92の出力である、前フレームからの予測画像データと後フレームからの予測画像データが、平均値生成回路13で加算平均されてフレーム内挿された予測画像データが生成される。

【0056】以上の通り、FM1～FM4（フレームメモリ71～74）のいずれかから再生画像データの読み出しが行われる。1フレームの「参照リード」では、読み出しアドレスの不連続は存在するものの全体的には徐々にアドレスが増加していく。図6の（b）～（e）において、幅が広がっている薄い網かけの線がこの「参照リード」の様子を示している。予測切り換え回路14は、Pフレームにおいては、前フレームからの予測画像データ、または固定値“0”を選択する。また、Bフレームにおいては、フレーム内挿された予測画像データ、前フレームからの予測画像データ、後フレームからの予測画像データ、または固定値“0”を選択する。Iフレームでは、常に固定値“0”を選択する。

【0057】復号処理された結果である再生画像データの表示処理は、各フレーム期間において、FM1～FM4の中に記憶保持された各フレームの再生画像データを表示順で読み出すことにより行われる。2フィールドから成る各フレームの再生画像データを読み出す「表示リード」では、読み出しアドレスは連続的に増加していく。ただし、フィールドとフィールドとの間に存在する垂直帰線期間において、一時的に「表示リード」は中断される。図6の（b）～（e）において、太実線がこの様子を示している。一続きのBフレームの直前に復号されたIフレームまたはPフレームに関しては、その表示処理はBフレームの後に行う必要がある。表示切り換え回路15は、各フィールド期間において、フレームメモリFM1～FM4を構成する合計8枚のフィールドメモリを表示すべき順番で適宜選択し、選択したフィールドメモリから再生画像データを読み出して出力端子12から出力する。

【0058】以上の通り、本発明の第二の実施例である動画像復号表示装置は、フレームメモリが4枚で構成されている。525/60方式で[4:2:0]フォーマットの場合に必要な1フレーム分のメモリ容量は約4Mビットであるから、合計のフレームメモリ容量は約16Mビットとなる。また、バッファメモリ2における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は2フレーム期間である。ただし、図6で「復号ライト」のアドレス変

化を示す濃い網かけの線と「表示リード」を示す太実線が交わらない限りにおいては、「表示リード」のタイミングをずらすことも可能である。このとき、復号から表示までの遅延時間を1.5フレーム期間程度まで短縮することができる。

【0059】本発明の第二の実施例である動画像復号表示装置の特徴は、同等の動作をする従来例との比較により明確となる。そこで、その動画像復号表示装置の従来例について簡単に説明する。

【0060】図7は、IBP構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う、動画像復号表示装置の従来例のブロック図である。図7において、73～77はフレームメモリ、16は表示切り換え回路である。

【0061】その他の回路ブロックは、図5に示した本発明の第二の実施例と場合と同じものである。同一の符号を付けている。なお、フレームメモリ76を、以下FM1と記す。同様に、フレームメモリ77を、以下FM2と記す。また、フレームメモリ73～75は、それぞれ2枚のフィールドメモリから構成されるものであり、以下それぞれFM3～FM5と記す。

【0062】図8は、図7の動画像復号表示装置における処理の流れとタイミングを示す説明図である。（a）は復号処理する符号化データのフレーム順を、（g）は表示処理する再生画像データのフレーム順を示している。また、（b）～（f）はそれぞれFM1～FM5のメモリイメージを示している。図6の場合と同様に、各フレームメモリを2枚のフィールドメモリに分けて図示してある。FM1とFM2は実際にはどちらも2枚のフィールドメモリから構成される訳ではないが、ここではそれぞれ仮想的に2枚のフィールドメモリに分けて示している。また、図6の場合と同様に、（a）から（b）・（c）に向かう下向き矢印は「復号ライト」の様子を、（b）・（c）から（a）に向かう上向きの矢印は「参照リード」の様子を、（d）～（f）から（g）に向かう下向きの矢印は「表示リード」の様子を示している。

【0063】図7の動画像復号表示装置は、破線で囲まれている通り、復号処理部と表示処理部の二つに分けられる。復号処理部において、各ブロックの符号化データの復号処理は、一定時間のブロック処理期間に行われる。入力端子1から入力された符号化データは一旦バッファメモリ2に蓄えられる。VLC復号回路3は符号化データをバッファメモリ2から読み出して可変長符号を復号する。その後、逆量子化回路4において逆量子化が、逆DCT回路5において逆ディスクリットコサイン変換が、予測加算回路6において予測画像データの加算が行われ、再生画像データが再生される。IフレームまたはPフレームの復号が行われた場合には、その再生画像データは、FM1（フレームメモリ76）とFM2

(フレームメモリ 77) のどちらかに書き込まれる。B フレームの予測のためには、前に復号された I フレームまたは P フレームの 2 フレーム分が必要であるので、I フレームまたは P フレームの再生画像データの FM1 と FM2 への書き込みは交互に行われる。図 8 の (b) ・ (c) において、少し幅が広がっている濃い網かけの線がこの「復号ライト」の様子を示している。

【0064】P フレームにおいてフレーム間符号化されているブロックにおいて、FM1 または FM2 のどちらかに記憶保持されている、表示順で前フレームの再生画像データが読み出される。表示順で前フレームの再生画像データが FM1 に記憶保持されている場合には、動き補償回路 91 が FM1 から前フレームの再生画像データを読み出し、予測画像データとして出力する。また、逆に表示順で前フレームの再生画像データが FM2 に記憶保持されている場合には、動き補償回路 92 が FM2 から前フレームの再生画像データを読み出し、予測画像データとして出力する。

【0065】B フレームにおいてフレーム内挿符号化されているブロックにおいて、FM1 または FM2 に記憶保持されている、表示順で前フレームの再生画像データと表示順で後フレームの再生画像データが読み出される。表示順で前フレームの再生画像データが FM1 に記憶保持されている場合には、動き補償回路 91 が FM1 から前フレームの再生画像データを読み出し、予測画像データとして出力する。その場合には、表示順で後フレームの再生画像データが FM2 に記憶保持されているので、動き補償回路 92 が FM2 から後フレームの再生画像データを読み出し、予測画像データとして出力する。また、以上と逆の場合もありえる。動き補償回路 91 と 92 の出力である、前フレームからの予測画像データと後フレームからの予測画像データが、平均値生成回路 13 で加算平均されてフレーム内挿された予測画像データが生成される。

【0066】図 8 の (b) ・ (c) において、幅が広がっている薄い網かけの線がこの「参照リード」の様子を示している。予測切り換え回路 14 は、P フレームにおいては、前フレームからの予測画像データ、または固定値“0”を選択する。また、B フレームにおいては、フレーム内挿された予測画像データ、前フレームからの予測画像データ、後フレームからの予測画像データ、または固定値“0”を選択する。I フレームでは、常に固定値“0”を選択する。

【0067】復号処理部で復号処理された結果である再生画像データは、予測加算回路 6 から表示処理部に出力される。表示処理部において、再生画像データは、FM3 ~ FM5 (フレームメモリ 73 ~ 75) のいずれかに書き込まれる。なお、B フレームの再生画像データは、表示処理部の FM3 ~ FM5 には書き込まれるが、復号処理部の中の FM1 と FM2 には書き込まれない。FM

3 ~ FM5 への書き込みはフレーム期間ごとに適宜切り換えられる。図 8 の (d) ~ (f) において、少し幅が広がっている濃い網かけの線がこの書き込みの様子を示している。再生画像データの表示処理は、各フレーム期間において、FM3 ~ FM5 の中で書き込みが行われていない 2 枚のフレームメモリのどちらかから、表示のために再生画像データを読み出すことにより行われる。FM3 ~ FM5 からの読み出しもフレーム期間ごとに切り換えられることになる。B フレームの再生画像データの読み出しは、それが FM3 ~ FM5 のいずれかに書き込まれたフレーム期間の次のフレーム期間で行われるが、I フレームと P フレームに関してはフレーム順の並び換えの処理による遅延が存在する。図 8 の (d) ~ (f) において、太実線がこの「表示リード」の様子を示している。

【0068】表示切り換え回路 16 は、フレームメモリ FM3 ~ FM5 を構成する合計 6 枚のフィールドメモリを表示すべき順番で適宜選択し、選択したフィールドメモリから再生画像データを読み出して出力端子 12 から出力する。表示処理部における 3 枚のフレームメモリ FM3 ~ FM5 は、ブロック単位の順次走査から画素単位のインターレース走査へ走査変換を行うため、および B フレームが存在する場合にその前に復号処理した I フレームと P フレームの表示を遅延させるフレーム順の並び換えを行うために設けられているものである。

【0069】以上の通り、動画像復号表示装置の従来例は、フレームメモリが 5 枚で構成されている。また、バッファメモリ 2 における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は 2 フレーム期間である。

【0070】したがって、図 5 に示した本発明の第二の実施例の動画像復号表示装置では、図 7 に示した従来例よりもフレームメモリが 1 枚少ない、すなわちフレームメモリ容量が削減されているので、コストダウンが実現できる。

【0071】次に、本発明の第三の実施例について説明する。

【0072】図 9 は、本発明の第三の実施例である動画像復号表示装置のブロック図である。図 5 に示した本発明の第二の実施例の動画像復号表示装置と同じく、IBP 構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う動画像復号表示装置である。ただし、IP 構造により符号化された符号化データの復号処理および再生画像データの表示処理も行える。

【0073】図 9 において、31 は V L C 復号回路、41 は逆量子化回路、51 は逆 D C T 回路、61 は予測加算回路、93 ・ 94 は動き補償回路、95 は平均値生成回路、24 は予測切り換え回路、71 ~ 73 はフレームメモリ、17 は表示切り換え回路、18 は停止制御回路

である。その他の回路ブロックは、図 5 に示した本発明の第二の実施例の場合と同じものである。同一の符号を付けている。なお、フレームメモリ 71 ~ 73 は、それぞれ 2 枚のフィールドメモリから構成されるものであり、以下それぞれ FM1 ~ FM3 と記す。

【0074】図 10 は、図 9 の動画像復号表示装置における処理の流れとタイミングを示す説明図である。

(a) は復号処理する符号化データのフレーム順を、

(e) は表示処理する再生画像データのフレーム順を示している。また、(b) ~ (d) はそれぞれ FM1 ~ FM3 のメモリイメージを示している。図 6 の場合と同様に、各フレームメモリを 2 枚のフィールドメモリに分けて図示している。また、図 6 の場合と同様に、(a) から (b) ~ (d) に向かう下向きの矢印は「復号ライト」の様子を、(b) ~ (d) から (a) に向かう上向きの矢印は「参照リード」の様子を、(b) ~ (d) から (e) に向かう下向きの矢印は「表示リード」の様子を示している。

【0075】図 9 の動画像復号表示装置においては、各ブロックの符号化データの復号処理に一定時間のブロック処理期間が割り当てられている。ただし、各フレームの符号化データの復号処理が必ず 1 フレーム期間以内に終了するように、かつ各フレームの復号処理の間に所定時間だけ符号化データの復号処理を停止するように、そのブロック処理期間が定められている。

【0076】本実施例は、625/50 方式（欧州において主に用いられている方式）で [4:2:0] フォーマットの現行 TV 映像信号に対応した動画像復号表示装置であり、1 フレームにおける輝度信号の有効な画素数は、水平 720 画素×垂直 576 ラインである。また、1 フレームにおける 2 種類の色差信号の有効な画素数は、それぞれ水平 360 画素×垂直 288 ラインである。1 フレームの画像データのデータ量は、輝度信号に関して  $720 \times 576 \times 8 = 3,317,760$  ビット、2 種類の色差信号に関してそれぞれ  $360 \times 288 \times 8 = 829,440$  ビットである。合計すると 4,976,640 ビット、すなわち約 4.8 M ビットのデータ量となる。ブロックサイズは、輝度信号については  $16 \times 16$  画素であり、対応した色差信号については  $8 \times 8$  画素である。

【0077】バッファメモリ 2 の動作は、図 5 に示した本発明の第二の実施例の場合と全く同じである。また、VLC 復号回路 31、逆量子化回路 41、逆 DCT 回路 51、および予測加算回路 61 の動作は、図 5 に示した本発明の第二の実施例における VLC 復号回路 3、逆量子化回路 4、逆 DCT 回路 5、および予測加算回路 6 の動作と基本的に同一である。本実施例で異なるのは、各フレームの復号処理の間に所定時間だけ符号化データの復号処理を停止するように、停止制御回路 18 によって制御される点である。

【0078】予測加算回路 61 から出力される再生画像データは、FM1 ~ FM3（フレームメモリ 71 ~ 73）のいずれかに書き込まれる。B フレームの予測のために用いられる I フレームまたは P フレームの再生画像データは、FM1 と FM2 に交互に書き込まれる。また、B フレームの再生画像データは FM3 に書き込まれる。図 10 の (b) ~ (d) において、少し幅が広がっている濃い網かけの線がこの「復号ライト」の様子を示している。

【0079】P フレームでフレーム間符号化されているブロックにおいて、FM1 または FM2 のどちらかに記憶保持されている、表示順で前フレームの再生画像データが読み出される。また、B フレームでフレーム内挿符号化されているブロックにおいては、さらに表示順で後フレームの再生画像データも読み出される。この前フレームと後フレームの再生画像データを FM1・FM2 から読み出す処理は、動き補償回路 93 と動き補償回路 94 によって行われるものである。図 10 の (b) ~

(d) において、幅が広がっている薄い網かけの線がこの「参照リード」の様子を示している。その後、平均値生成回路 95 と予測切り換え回路 24 の処理により、各ブロックに対する予測画像データが生成され予測加算回路 61 に出力される。

【0080】動き補償回路 93・94、平均値生成回路 95、および予測切り換え回路 24 の動作は、図 5 に示した本発明の第二の実施例における動き補償回路 91・92、平均値生成回路 13、および予測切り換え回路 14 の動作と基本的には同一であるが、各フレームの復号処理の間に所定時間だけ符号化データの復号処理を停止するように、停止制御回路 18 によって制御される点が異なる。

【0081】復号処理された結果である再生画像データの表示処理は、各フレーム期間において、FM1 ~ FM3 の中に記憶保持された各フレームの再生画像データを表示順で読み出すことにより行われる。図 6 に示した本発明の第二の実施例の場合とは異なり、復号処理するフレーム期間と表示処理するフレーム期間とが 1 フィールド期間だけずれている。表示のための B フレームの再生画像データの読み出しは、それが復号処理され FM3 に書き込まれ始めたフレーム期間から 1 フィールド期間だけ遅延されて開始される。I フレームと P フレームに関しては、さらにフレーム順の並び換えの処理による遅延が存在する。図 10 の (b) ~ (d) において、太実線がこの「表示リード」の様子を示している。表示切り換え回路 17 は、フレームメモリ FM1 ~ FM3 を構成する合計 6 枚のフィールドメモリを表示すべき順番で適宜選択し、選択したフィールドメモリから再生画像データを読み出して出力端子 12 から出力する。

【0082】図 10 において B2 と B3 で示されているように、複数の B フレームの符号化データが連続してい

る場合には、それらを復号した結果であるBフレームの再生画像データは連続したフレーム期間でFM3に「復号ライト」される。したがって、新たなBフレームの再生画像データの「復号ライト」によって、前のBフレームの再生画像データが書き換えられる前に、そのBフレームの再生画像データを「表示リード」する必要がある。これを実現するために、Bフレームの「復号ライト」から「表示リード」までに1フィールド期間の遅延を設けていると同時に、各フレームの符号化データの復号処理を行う際に所定の停止期間を設けている。

【0083】図11はBフレームにおける「復号ライト」と「表示リード」との関係を説明するための説明図である。図10において楕円で囲まれている部分を拡大し、FM3のメモリイメージを示したものである。図11で、小さな長方形が左上から右下へ階段状につながっている形が「復号ライト」のアドレス変化の様子を示している。B2およびB3で示された連続するBフレームが存在する場合を示している。FM3のアドレスの割り付けは、左画素から右画素へ、そして上ラインから下ラインへ、さらに第1フィールドの次に第2フィールドと言う、インターレースの表示走査順になっているため、Bフレームにおける各ブロックの「復号ライト」では、書き込みアドレスは連続的に増加するのではなく、途中にアドレスの飛びが発生する。ただし、1フレームの「復号ライト」では、書き込みアドレスの不連続は存在するものの全体的には徐々にアドレスが増加していく。

【0084】フレーム内で垂直位置が等しく水平に並んでいる全てのブロックの集まりを、ブロック行と呼ぶことにすれば、「復号ライト」の書き込みアドレスと「表示リード」の読み出しアドレスの変換はブロック行単位で行われる。輝度信号については16ライン分の画素の集まりに相当する。したがって、各ブロック行においてブロックを順番に復号処理した後の「復号ライト」のアドレスは、少なくともそのブロック行の各画素に対応したアドレスの範囲内に収まる。すなわち、16ライン分のアドレスとなる。この各ブロック行に対応したアドレスの範囲を、図11における小さな長方形が示していることになる。この長方形の高さは、フレームにおいてブロック行を構成する垂直ライン数の半分、すなわちフィールド内でのその垂直ライン数に対応したアドレスの範囲に等しい。したがって、輝度信号については8ライン分のアドレスとなる。

【0085】また、図11において、左上から右下に引かれている太実線が「表示リード」の様子を示している。B2で示されたBフレームについて示している。このようにBフレームにおける2フィールドの「表示リード」では、読み出しアドレスは連続的に増加していく。ただし、フィールドとフィールドとの間に存在する垂直帰線期間において、一時的に「表示リード」は中断される。なお、「表示リード」のアドレス変化を示す太実線

の傾きは、「復号ライト」のアドレス変化を示す長方形が並んだ階段の傾きの2倍となっている。

【0086】B2の各画素を順番にFM3から読み出す「表示リード」は、B2のその画素の再生画像データが「復号ライト」によりFM3に書き込まれた後で、かつ次のBフレームであるB3の「復号ライト」により書き換えられる前に行う必要がある。すなわち、「復号ライト」のアドレス変化を示す長方形が階段状につながった形と、「表示リード」のアドレス変化を示す太実線が交わってはいけい。そのために本実施例では、Bフレームの「復号ライト」から「表示リード」までに1フィールド期間の遅延を設けていると同時に、各フレームの符号化データの復号処理を行う際に所定の停止期間を設けている。すなわち、B2フレームの第1フィールドの「表示リード」が終わる前にB2フレームの「復号ライト」は完了させ、B3フレームの「復号ライト」が始まる前にB2フレームの第2フィールドの「表示リード」を開始させている。

【0087】各フレームの復号処理を行うフレーム期間の間に設けている停止期間の長さは、第1フィールドにおける最下ブロック行の全ラインを表示する期間、第1フィールドと第2フィールドとの間の垂直帰線期間、および第2フィールドにおける最上ブロック行の全ラインを表示する期間の合計としている。すなわち、625/50方式における第1フィールドと第2フィールドとの間の垂直帰線期間は約25ラインの表示期間に相当するので、この復号処理の停止期間の長さは $8 + 25 + 8 = 41$ ラインの表示期間に相当する時間としている。停止期間を短くして各ブロックを復号処理するブロック処理期間をできるだけ長く確保するために、この停止期間には必要最小限の長さに抑えている。停止期間においては、停止制御回路18が符号化データの復号処理を停止させる。

【0088】以上の通り、本発明の第三の実施例である動画像復号表示装置は、フレームメモリが3枚で構成されている。625/50方式で[4:2:0]フォーマットの場合に必要な1フレーム分のメモリ容量は約4.8Mビットであるから、合計のフレームメモリ容量は約14Mビットとなる。また、バッファメモリ2における遅延時間を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は1.5フレーム期間である。図5に示した本発明の第二の実施例の動画像復号表示装置よりも、さらにフレームメモリが1枚少ない、すなわちフレームメモリ容量が削減することができると同時に、復号から表示までの遅延時間を0.5フレームだけ短縮することができる。

【0089】次に、本発明の第四の実施例について説明する。

【0090】図12は、本発明の第四の実施例の動画像復号表示装置のブロック図である。図9に示した本発明

の第三の実施例の動画像復号表示装置と同じく、I P構造により符号化された符号化データの復号処理、および再生画像データの表示処理を行う動画像復号表示装置である。ただし、I P構造により符号化された符号化データの復号処理および再生画像データの表示処理も行える。

【0091】図12において、76・77・73はフレームメモリ、19は表示切り換え回路である。その他の回路ブロックは、図9に示した本発明の第三の実施例の場合と同じものである。同一の符号を付けている。なお、フレームメモリ76・77を、以下それぞれFM1・FM2と記す。また、フレームメモリ73は2枚のフィールドメモリから構成されるものであり、以下FM3と示す。

【0092】図13は、図12の動画像復号表示装置における処理の流れとタイミングを示す説明図である。

(a)は復号処理する符号化データのフレーム順を、(e)は表示処理する再生画像データのフレーム順を示している。また、(b)～(d)はそれぞれFM1～FM3のメモリイメージを示している。図10の場合と同様に、各フレームメモリを2枚のフィールドメモリに分けて図示してある。FM1とFM2に関しては、仮想的に2枚のフィールドメモリに分けて示している。(a)から(b)～(d)に向かう下向きの矢印は「復号ライト」の様子を、(b)・(c)から(a)に向かう上向きの矢印は「参照リード」の様子を、(d)から(e)に向かう下向きの矢印は「表示リード」の様子を示している。また、(b)・(c)から(d)に向かう下向きの矢印は「データ転送」の様子を示している。

【0093】図12の動画像復号表示装置において、バッファメモリ2、VLC復号回路31、逆量子化回路41、逆DCT回路51、予測加算回路61、平均値生成回路95、予測切り換え回路24、および停止制御回路18の動作は、図9に示した本発明の第三の実施例の場合と全く同じである。また、動き補償回路93・94に関しても、それらが「参照リード」を行う2枚のフレームメモリFM1とFM2の構成が異なっているだけであり、動作は基本的に変わらない。

【0094】本実施例においては、表示のために必要となる再生画像データを必ずフレームメモリFM3の中に格納することで、「表示リード」はFM3からのみ行われる。表示切り換え回路19はFM3を構成する2枚のフィールドメモリを交互に選択して再生画像データを読み出すことになる。これに伴い、図13において示されている通り、FM1・FM2からFM3に対してのIフレームとPフレームの再生画像データの「データ転送」、すなわちFM1・FM2から再生画像データを読み出すと同時にそれをFM3に書き込む処理が行われる。この「データ転送」は、IフレームやPフレームを表示開始すべきタイミングよりも1フィールド前に開始

される。本実施例では、フレームにおける画素単位の順次走査の順番でこの「データ転送」は行われるが、その順番はこれに限られるものではない。

【0095】以上の通り、本発明の第四の実施例である動画像復号表示装置は、フレームメモリが3枚で構成されている。また、バッファメモリ2における遅延時間等を除けば、入力された符号化データの復号から表示画像データの出力までの遅延時間は1.5フレーム期間である。図9に示した本発明の第三の実施例の場合と比べて、「データ転送」が必要となるのでフレームメモリFM1～FM3に対する合計のアクセス回数が増加するが、表示用の再生画像データは常にFM3に格納されているので、このFM3を利用してさらに何らかの画像処理を加えることが容易となる。

【0096】次に、本発明の第五の実施例について説明する。

【0097】図14は、本発明の第五の実施例である動画像復号表示装置のブロック図である。図1に示した本発明の第一の実施例の動画像復号表示装置と同じく、I P構造により符号化された符号化データの復号および再生画像データの表示処理を行う動画像復号表示装置である。

【0098】図14において、99は動き補償回路、25は予測切り換え回路、78はフレームメモリ、20はアドレス制御回路である。その他の回路ブロックは、図9に示した本発明の第三の実施例の場合と同じものである。同一の符号を付けている。なお、フレームメモリ78は2枚のフィールドメモリから構成されるものであり、以下FM1αと示す。ただし、各フィールドメモリの容量は、1フィールド分ではなく1フィールド分よりも所定サイズだけ大きくなっている。

【0099】図14における、VLC復号回路31、逆量子化回路41、逆DCT回路51、予測加算回路61、停止制御回路18の動作は、図9に示した本発明の第三の実施例の場合と全く同じである。また、動き補償回路99と予測切り換え回路25に関しても、第三の実施例における動き補償回路93・94や予測切り換え回路24とは、I P構造に対応した動作となっている点が異なるだけである。

【0100】図15は、図14の動画像復号表示装置における処理の流れとタイミングを示す説明図である。

(a)は復号処理する符号化データのフレーム順を、(c)は表示処理する再生画像データのフレーム順を示している。また、(b)はFM1のメモリイメージを示している。1フィールド分よりも所定サイズだけ大きい2枚のフィールドメモリに分けて図示している。太い破線で2枚のフィールドメモリが分けられている。また、(a)から(b)に向かう下向きの矢印は「復号ライト」の様子を、(b)から(a)に向かう上向きの矢印は「参照リード」の様子を、(b)から(c)に向かう

下向きの矢印は「表示リード」の様子を示している。

【0101】本実施例は、625/50方式（欧州において主に用いられている方式）で〔4:2:0〕フォーマットの現行TV映像信号に対応した動画復号表示装置であり、1フレームにおける輝度信号の有効な画素数は、水平720画素×垂直576ラインである。また、1フレームにおける2種類の色差信号の有効な画素数は、それぞれ水平360画素×垂直288ラインである。ブロックサイズは、輝度信号については16×16画素であり、対応した色差信号については8×8画素である。

【0102】本実施例においては、予測加算回路61から出力される再生画像データがFM1α（フレームメモリ78）に書き込まれる際に、各フィールドメモリへの書き込みアドレスが次の通り決定される。すなわち、各フィールドメモリへの書き込みアドレスに対しては、フレーム期間ごとに1フィールド分のオフセットが加算された後、1フィールド分よりも所定サイズだけ大きい各フィールドメモリの容量に応じて剰余演算が行われる。すなわち、各フィールドメモリがリングバッファとして用いられている。図15の（b）において、少し幅が広がっている濃い網かけの線がこの「復号ライト」の様子を示している。

【0103】Pフレームでフレーム間符号化されているブロックにおいて、FM1αに記憶保持されている前フレームの再生画像データが読み出される。この前フレームの再生画像データの読み出しは動き補償回路99によって行われるものであり、各ブロックの動き量を示す動きベクトルの大きさに従って、読み出しアドレスに正または負のオフセットが付加される。また、前フレームで「復号ライト」された再生画像データを「参照リード」するのであるから、各フィールドメモリからの読み出しアドレスに対しては、前フレームの場合と同じオフセットが加算された後、フィールドメモリの容量に応じて剰余演算が行われることになる。図15の（b）において、幅が広がっている薄い網かけの線がこの様子を示している。

【0104】再生画像データの表示処理は、各フレーム期間において、FM1αの中に記憶保持された各フレームの再生画像データを読み出すことにより行われる。図2に示した本発明の第一の実施例の場合とは異なり、復号処理するフレーム期間と表示処理するフレーム期間とが1フィールド期間だけずれている。また、1フィールド前から「復号ライト」が開始された再生画像データを「表示リード」するのであるから、各フィールドメモリからの読み出しアドレスに対しては、「復号ライト」の場合と同じオフセットが加算された後、フィールドメモリの容量に応じて剰余演算が行われることになる。図15の（b）において、太実線がこの「表示リード」の様子を示している。表示切り換え回路19は、フレームメ

モリFM1αを構成する2枚のフィールドメモリを交互に選択し、選択したフィールドメモリから再生画像データを読み出して出力する。

【0105】本実施例においては、「復号ライト」における書き込みアドレス、「参照リード」における読み出しアドレス、および「表示リード」における読み出しアドレスに対する上述のオフセット演算処理は、アドレス制御回路20により行われる。

【0106】各フィールドメモリの容量は、新たなフレームの「復号ライト」によりフレームメモリFM1αの再生画像データが書き換えられる前に、その前のフレームの「参照リード」と「表示リード」を完了させる必要があるため、1フィールド分よりも所定サイズだけ大きくしている。すなわち、本実施例においては、「復号ライト」のアドレス変化を示す濃い網かけの線と「参照リード」のアドレス変化を示す薄い網かけの線とが交わらないように、フィールド内において動きベクトルに従ってブロックがシフトされる範囲である垂直ライン数の最大値に対応したサイズだけ大きくしている。本実施例では、各フィールドメモリの容量を1フィールド分よりも輝度信号について64ライン分だけ大きい容量としている。すなわち、各フィールドメモリの容量は、 $720 \times (576 \div 2 + 64) \times 8 \times 1.5 = 3,041,280$ ビット、すなわち約2.9Mビットである。各フレームの復号処理を行うフレーム期間の間に設けている停止期間の長さは、図9に示した本発明の第三の実施例の場合と同じである。

【0107】以上の通り、本発明の第五の実施例である動画復号表示装置は、1フレーム分よりもサイズが多少大きいフレームメモリ1枚で構成されている。上述した通り、このフレームメモリを構成する各フィールドメモリの容量は約2.9Mビットであるから、フレームメモリ容量は約5.8Mビットとなる。また、バッファメモリ2における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は0.5フレーム期間である。図1に示した本発明の第一の実施例の場合と比べて、フレームメモリFM1αに対する上述したアドレス演算処理が必要となるものの、フレームメモリ容量を削減することができると同時に、復号から表示までの遅延時間を0.5フレームだけ短縮することができる。

【0108】次に、本発明の第六の実施例について説明する。

【0109】図16は、本発明の第六の実施例の動画復号表示装置のブロック図である。図14に示した本発明の第五の実施例の動画復号表示装置と同じく、1P構造により符号化された符号化データの復号処理、および再生画像データの表示処理を行う動画復号表示装置である。

【0110】図16において、78はフレームメモリ、

19は表示切り換え回路、20はアドレス制御回路である。その他の回路ブロックは、図1に示した本発明の第一の実施例の場合と同じものであるので、同一の符号を付けている。なお、フレームメモリ78は2枚のフィールドメモリから構成されるものであり、以下FM1αと示す。ただし、各フィールドメモリの容量は、1フィールド分ではなく1フィールド分よりも所定サイズだけ大きくなっている。

【0111】図17は、図16の動画像復号表示装置における処理の流れとタイミングを示す説明図である。

(a)は復号処理する符号化データのフレーム順を、

(c)は表示処理する再生画像データのフレーム順を示している。また、(b)はFM1のメモリイメージを示している。1フィールド分よりも所定サイズだけ大きい2枚のフィールドメモリに分けて図示している。太い破線で2枚のフィールドメモリが分けられている。また、(a)から(b)に向かう下向きの矢印は「復号ライト」の様子を、(b)から(a)に向かう上向きの矢印は「参照リード」の様子を、(b)から(c)に向かう下向きの矢印は「表示リード」の様子を示している。

【0112】図16の動画像復号表示装置において、バッファメモリ2、VLC復号回路3、逆量子化回路4、逆DCT回路5、予測加算回路6、動き補償回路9、予測切り換え回路10の動作は、図1に示した本発明の第一の実施例の場合と全く同じである。ただし、動き補償回路9に関しては、それが「参照リード」を行うフレームメモリFMαの構成が異なっている。

【0113】本実施例においては、各フィールドメモリに対する「復号ライト」の書き込みアドレス、「参照リード」の読み出しアドレス、および「表示リード」の読み出しアドレスは、本発明の第五の実施例の場合と同様の方法で決定される。すなわち、各フィールドメモリへの書き込みアドレスと読み出しアドレスに対しては、フレーム期間ごとに1フィールド分のオフセットが加算された後、1フィールド分よりも所定サイズだけ大きい各フィールドメモリの容量に応じて剰余演算が行われる。すなわち、各フィールドメモリがリングバッファとして用いられている。

【0114】図17の(b)において、少し幅が広がっている濃い網かけの線が「復号ライト」の様子を示している。また、幅が広がっている薄い網かけの線が「参照リード」の様子を、太実線が「表示リード」の様子を示している。本実施例においては、図14に示した本発明の第五の実施例の場合と異なり、符号化データの復号処理を一時停止する停止期間を設けていない。「表示リード」を行うタイミングを多少遅らせて、「復号ライト」のアドレス変化を表す濃い網かけの線と「表示リード」のアドレス変化を表す太実線とが交わらないようにしている。したがって、FM1αに再生画像データの「復号ライト」が開始されたフレーム期間から、1フィールド

期間と所定時間だけ経過した後に「表示リード」の開始を開始する。この所定時間とは、第1フィールドにおける最下ブロック行の全ラインを表示する期間と、第1フィールドと第2フィールドとの間の垂直帰線期間の半分の合計以上としている。

【0115】以上の通り、本発明の第六の実施例である動画像復号表示装置は、1フレーム分よりもサイズが多少大きいフレームメモリ1枚で構成されている。フレームメモリ容量は、図14に示した本発明の第五の実施例の場合と同じである。また、バッファメモリ2における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は0.5フレーム期間より多少長くなっている。本実施例では、図14に示した本発明の第五の実施例の場合と比べて、復号から表示までの遅延時間が多少長くなるものの、復号処理を一時停止する必要がない。

【0116】次に本発明の第七の実施例について説明する。

【0117】図18は、本発明の第七の実施例である動画像復号表示装置のブロック図である。IBP構造またはIP構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う動画像復号表示装置である。

【0118】図18において、79はフレームメモリ、21は予測切り換え回路、22はアドレス制御回路、23はモード切り換え回路である。その他の回路ブロックは、図1に示した本発明の第一の実施例、および図5に示した本発明の第二の実施例の場合と同じものであるので、同一の符号を付けている。本実施例においては、2種類のフレームメモリ構成がある。フレームメモリ79は、本実施例の第一のフレームメモリ構成では、2フレーム分の容量を持つフレームメモリであり、この場合には1フレーム分ごとに区別してFM1・FM2と示す。また、本実施例の第二のフレームメモリ構成では、4フレーム分の容量を持つフレームメモリであり、この場合には1フレーム分ごとに区別してFM1～FM4と示す。

【0119】本実施例は、525/60方式で[4:2:0]フォーマットの現行TV映像信号に対応した動画像復号表示装置であり、1フレームにおける輝度信号の有効な画素数は、水平720画素×垂直480ラインである。また、1フレームにおける2種類の色差信号の有効な画素数は、それぞれ水平360画素×垂直240ラインである。ブロックサイズは、輝度信号については16×16画素であり、対応した色差信号については8×8画素である。

【0120】本実施例においては、2種類の動作モードがある。第一の動作モードは、2フレーム分のフレームメモリFM1・FM2を利用して、図1に示した本発明の第一の実施例と同等の動作を行うものである。すなわ



ち、I P 構造により符号化された符号化データの復号と表示を行うものである。本実施例における第一のフレームメモリ構成であっても、第二のフレームメモリ構成であっても動作が可能である。第二の動作モードは、4 フレーム分のフレームメモリ F M 1 ~ F M 4 を利用して、図 5 に示した本発明の第二の実施例と同等の動作を行うものである。すなわち、I B P 構造により符号化された符号化データの復号と表示を行うものである。本実施例における第二のフレームメモリ構成の場合には動作が可能である。第一のフレームメモリ構成の場合には動作は禁止される。

【0 1 2 1】バッファメモリ 2、V L C 復号回路 3、逆量子化回路 4、逆 D C T 回路 5、予測加算回路 6 の動作は、図 1 に示した本発明の第一の実施例、および図 5 に示した本発明の第二の実施例の場合と全く同じである。また、第二の動作モードにおける動き補償回路 9 1・9 2 と平均値生成回路 1 3 の動作は、図 5 に示した本発明の第二の実施例の場合と同じである。第一の動作モードにおける動き補償回路 9 2 の動作は、図 1 に示した本発明の第一の実施例における動き補償回路 9 の動作と同じである。モード切り換え回路 2 3 が、動作モードの設定に従って、予測切り換え回路 2 1 における予測画像データの切り換え方法を制御する。同様に、モード切り換え回路 2 3 は、動作モードの設定に従って、フレームメモリ F M 1・F M 2 または F M 1 ~ F M 4 を構成する複数のフィールドメモリの選択方法を制御するとともに、アドレス制御回路 2 2 の動作を切り換え、アドレス制御回路 2 2 は「表示リード」のためのフレームメモリからの読み出しアドレスの発生方法を制御するものである。図 1 に示した本発明の第一の実施例、および図 5 に示した本発明の第二の実施例の場合と異なり、本実施例においては、アドレス制御回路 2 2 が順次適当な読み出しアドレスを生成し、フレームメモリ F M 1・F M 2 または F M 1 ~ F M 4 から再生画像データを読み出すことにより表示処理は行われる。

【0 1 2 2】なお、本実施例の動画復号表示装置の第一の動作モードにおける処理の流れとタイミングは、図 2 に示した本発明の第一の実施例の場合と同じである。また、第二の動作モードにおける処理の流れとタイミングは、図 6 に示した本発明の第二の実施例の場合と同じである。

【0 1 2 3】以上の通り、本発明の第七の実施例である動画復号表示装置は、フレームメモリが 2 フレーム分、または 4 フレーム分で構成されている。5 2 5 / 6 0 方式で [ 4 : 2 : 0 ] フォーマットの場合に必要な 1 フレーム分のメモリ容量は約 4 M ビットであるから、合計のフレームメモリ容量は、前者では約 8 M ビット、後者では約 1 6 M ビットとなる。また、バッファメモリ 2 における遅延時間等を除けば、入力された符号化データの復号から再生画像データの表示出力までの遅延時間は

1 フレーム期間、または 2 フレーム期間である。本実施例では、I P 構造で符号化された符号化データの復号と表示のみを行いたい場合には、フレームメモリを 2 フレーム分で構成すればよい。また、I B P 構造で符号化された符号化データの復号と表示にも対応する場合には、フレームメモリを 4 フレーム分で構成する必要があるが、その場合でも I P 構造で符号化された符号化データの復号と表示を行うことが可能である。この際、動作モードを切り換えることにより、I B P 構造の場合は 2 フレーム期間となるのに対して、I P 構造の場合は 1 フレーム期間と遅延時間を短くすることができる。

【0 1 2 4】次に本発明の第八の実施例について説明する。

【0 1 2 5】図 1 9 は、本発明の第八の実施例である動画復号表示装置のブロック図である。I B P 構造または I P 構造により符号化された符号化データの復号処理および再生画像データの表示処理を行う動画復号表示装置である。

【0 1 2 6】図 1 9 において、8 0 は一体化メモリ、2 5 は予測切り換え回路、2 9 はアドレス制御回路、2 3 はモード切り換え回路である。その他の回路ブロックは、図 9 に示した本発明の第三の実施例、および図 1 4 に示した本発明の第五の実施例の場合と同じものである。同一の符号を付けている。一体化メモリ 8 0 としては、次の 2 種類のメモリ構成がある。本実施例の第一のメモリ構成では、1 フレーム分と所定サイズの容量を持つフレームメモリと、バッファメモリとが一体となった構成である。この場合には 1 フレーム分と所定サイズの容量を持つフレームメモリを F M 1 α と示す。また、本実施例の第二のメモリ構成では、3 フレーム分の容量を持つフレームメモリと、バッファメモリとが一体となった構成である。この場合には 3 フレーム分の容量を持つフレームメモリを、1 フレーム分ごとに区別して F M 1 ~ F M 3 と示す。

【0 1 2 7】本実施例は、6 2 5 / 5 0 方式で [ 4 : 2 : 0 ] フォーマットの現行 T V 映像信号に対応した動画復号表示装置であり、1 フレームにおける輝度信号の有効な画素数は、水平 7 2 0 画素 × 垂直 5 7 6 ラインである。また、1 フレームにおける 2 種類の色差信号の有効な画素数は、それぞれ水平 3 6 0 画素 × 垂直 2 8 8 ラインである。ブロックサイズは、輝度信号については 1 6 × 1 6 画素であり、対応した色差信号については 8 × 8 画素である。

【0 1 2 8】本実施例においては、2 種類の動作モードがある。第一の動作モードは、1 フレーム分と所定サイズの容量をもつフレームメモリ F M 1 α を利用して、図 1 4 に示した本発明の第五の実施例と同等の動作を行うものである。すなわち、I P 構造により符号化された符号化データの復号と表示を行うものである。本実施例における第一のメモリ構成の場合に動作する。第二の動作

モードは、3 フレーム分のフレームメモリ F M 1 ~ F M 3 を利用して、図 9 に示した本発明の第三の実施例と同等の動作を行うものである。すなわち、I B P 構造により符号化された符号化データの復号と表示を行うものである。本実施例における第二のメモリ構成の場合には動作する。第一のフレームメモリ構成の場合には動作は禁止される。

【 0 1 2 9 】 V L C 復号回路 3 1、逆量子化回路 4 1、逆 D C T 回路 5 1、予測加算回路 6 1、停止制御回路 1 8 の動作は、図 9 に示した本発明の第三の実施例、および図 1 4 に示した本発明の第五の実施例の場合と全く同じである。一体化メモリ 8 0 の一部分であるバッファメモリの動作は、図 9 に示した本発明の第三の実施例、および図 1 4 に示した本発明の第五の実施例におけるバッファメモリ 2 の動作と同じである。また、第二の動作モードにおける動き補償回路 9 3・9 4 と平均値生成回路 9 5 の動作は、図 9 に示した本発明の第三の実施例の場合と同じである。第一の動作モードにおける動き補償回路 9 4 の動作は、図 1 4 に示した本発明の第五の実施例における動き補償回路 9 9 の動作と同じである。モード切り換え回路 2 3 が、動作モードの設定に従って、予測切り換え回路 2 5 における予測画像データの切り換え方法を制御する。同様に、モード切り換え回路 2 3 は、動作モードの設定に従って、一体化メモリ 8 0 の一部であるフレームメモリ F M 1 α または F M 1 ~ F M 3 を構成する複数のフィールドメモリの選択方法を制御するとともに、アドレス制御回路 2 9 の動作を切り換え、アドレス制御回路 2 9 は「表示リード」のためのフレームメモリからの読み出しアドレスの発生方法を制御する。図 9 に示した本発明の第三の実施例、および図 1 4 に示した本発明の第五の実施例の場合と異なり、本実施例においては、表示制御回路 2 9 が順次適当な読み出しアドレスを生成し、一体化メモリ 8 0 の一部であるフレームメモリ F M 1 α または F M 1 ~ F M 3 から再生画像データを読み出すことにより表示処理は行われる。

【 0 1 3 0 】 なお、本実施例の動画復号表示装置の第一の動作モードにおける処理の流れとタイミングは、図 1 5 に示した本発明の第五の実施例の場合と同じである。また、第二の動作モードにおける処理の流れとタイミングは、図 1 0 に示した本発明の第三の実施例の場合と同じである。

【 0 1 3 1 】 以上の通り、本発明の第八の実施例である動画復号表示装置は、1 フレーム分と所定サイズ、または 3 フレーム分のフレームメモリで構成されている。合計のフレームメモリ容量は、前者では本発明の第五の実施例の場合と同じく約 5. 8 M ビット、後者では本発明の第五の実施例の場合と同じく約 1 4 M ビットとなる。また、一体化メモリ 8 0 の一部分であるバッファメモリにおける遅延時間等を除けば、入力された符号化データの復号から再生画像データの出力までの遅延時間は

0. 5 フレーム期間、または 1. 5 フレーム期間である。本実施例では、I P 構造で符号化された符号化データの復号と表示のみを行いたい場合には、フレームメモリを約 1 フレーム分で構成すればよい。また、I B P 構造で符号化された符号化データの復号と表示に対応する場合には、フレームメモリを 3 フレーム分で構成する必要があるが、その場合でも I P 構造で符号化された符号化データの復号と表示を行うことが可能である。この際、動作モードを切り換えることにより、I B P 構造の場合は 1. 5 フレーム期間となるのに対して、I P 構造の場合は 0. 5 フレーム期間と遅延時間を短くすることができる。

【 0 1 3 2 】 さらに、本実施例では、バッファメモリとフレームメモリとを合わせて一体化メモリとすることにより、動画復号表示装置を構成するメモリ素子個数の削減を実現している。第一のメモリ構成の場合には、8 M ビットのメモリ素子を一個使用して、フレームメモリに約 5. 8 M ビットを割り当て、バッファメモリに残りの約 2. 2 M ビットを割り当てることが可能である。また、第二のメモリ構成の場合には、1 6 M ビットのメモリ素子を一個使用して、フレームメモリに約 1 4 M ビットを割り当て、バッファメモリに残りの約 2 M ビットを割り当てることが可能である。1 6 M ビットのメモリ素子を使用する場合でも、その中の半分の 8 M ビットに対して第一のメモリ構成をとることが可能である。

【 0 1 3 3 】 以上、本発明の実施例について詳細に説明した。

【 0 1 3 4 】 なお、以上示した実施例は、フレーム内符号化と動き補償を利用したフレーム間符号化やフレーム内挿符号化との組み合わせにより、フレーム単位で符号化された符号化データに対応したものであるが、例えばフレーム内符号化のみで符号化された符号化データの場合でも本発明は同様に適用できる。また、フレーム単位で符号化されるだけでなく、フィールド単位で符号化されることがあり、両者の符号化データが混在している場合にも同様に適用できる。さらに、符号化方式としては、実施例で示したような D C T を利用した方式でなくとも、所定サイズのブロック単位で処理を行う他の方式、例えばベクトル量子化を利用した方式であってもよい。

【 0 1 3 5 】 動画復号表示装置に入力される符号化データに関しては、以上示した実施例のように固定ビットレートで連続的に入力される場合だけでなく、可変ビットレートで入力される場合や、バースト的に入力される場合も考えられる。また、動画復号表示装置がデータ入力の要求を外部に出すことにより符号化データの入力を制御する場合も考えられる。いずれの場合においても、本発明は同様に適用できる。

【 0 1 3 6 】 また、以上示した実施例においては、各マクロブロックの符号化データの復号処理に一定のブロッ

ク処理期間を割り当てていた、すなわち固定タイムスロット割り当てを行っていたが、各フレームの符号化データの復号処理が必ず1フレーム期間以内に終了する限りにおいては、固定タイムスロット割り当てでなくてもよい。

【0137】現行TVとは解像度が異なるHDTVに対応した動画像復号表示装置に対しても、本発明が適用できることは明かである。525/60方式の現行TV、625/50方式の現行TV、HDTV等の複数の映像信号に対応して処理を切り換える動画像復号表示装置であってもよい。さらに、インターレース走査の表示出力だけでなく、順次走査の表示出力も可能な動画像復号表示装置に対しても、本発明は同様に適用できる。

【0138】動画像符号化装置に関しても、その動画像符号化装置が符号化処理を行うとともに復号処理も行って再生画像データを表示出力する構成であるのならば、本発明は動画像符号化装置に含まれる動画像復号表示回路に対して適用可能である。

【0139】上述した第三、第四、第五、および第八の実施例では、各フレームの復号処理を行うフレーム期間の間に所定の停止期間を設けていた。その場合、復号処理の停止期間の長さは、第1フィールドにおける最下ブロック行の全ラインを表示する期間、第1フィールドと第2フィールドとの間の垂直帰線期間、および第2フィールドにおける最上ブロック行の全ラインを表示する期間の合計としていたが、「表示リード」において1ライン分の再生画像データをフレームメモリから短時間でまとめて読み出して一旦ラインメモリに蓄える構成とするならば、その停止期間の長さは約1ライン分短くすることができる。

【0140】また、停止期間であっても、フレームメモリに対する「復号ライト」を必要としない復号処理、例えば符号化データの中の動きベクトル等の付加情報の解析処理や復号処理を行うことは可能である。

【0141】上述した第八の実施例では、フレームメモリとして割り当てていない一体化メモリの中の一部をバッファメモリとして使用していたが、バッファメモリ容量が不足する場合等においては、さらにその前に別のバッファメモリを付加してもよい。

【0142】

【発明の効果】本発明によれば、フレーム単位で符号化された符号化データの復号処理とインターレース走査で再生画像データを出力する表示処理を行う動画像復号表示装置において、復号処理で必要となる参照画面を保持するフレームメモリと、表示処理で必要となる表示画面を保持するフレームメモリとを、全部あるいは一部だけ共用し、表示処理で必要となる走査変換とフレーム順並び換えをその共用フレームメモリを用いて行うことにより、フレームメモリの枚数、すなわちフレームメモリ容量を削減することができる。また、復号処理と表示処理

による遅延時間を短くすることができる。

【0143】フレーム単位で所定の復号処理の停止期間を設けたり、復号処理から表示処理までの遅延時間を多少ずらして調整したり、あるいは両者を組み合わせることにより、復号処理しているフレームの再生画像データが書き込まれて前フレームの再生画像データが書き換えられる前に、復号処理で必要となる前フレームの再生画像データの読み出しと表示処理のための前フレームの再生画像データの読み出しとを完了させることができるので、正常な復号処理と表示処理を実現することができる。

【図面の簡単な説明】

【図1】本発明による動画像復号表示装置の第一の実施例を示すブロック図である。

【図2】図1に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図3】図1に示した動画像復号表示装置と同等の動作を行う従来例を示すブロック図である。

【図4】図3に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図5】本発明による動画像復号表示装置の第二の実施例を示すブロック図である。

【図6】図5に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図7】図5に示した動画像復号表示装置と同等の動作を行う従来例を示すブロック図である。

【図8】図7に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図9】本発明による動画像復号表示装置の第三の実施例を示すブロック図である。

【図10】図9に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図11】図10に示した処理の流れとタイミングについてBフレームに関して詳しく示す説明図である。

【図12】本発明による動画像復号表示装置の第四の実施例を示すブロック図である。

【図13】図12に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図14】本発明による動画像復号表示装置の第五の実施例を示すブロック図である。

【図15】図14に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

【図16】本発明による動画像復号表示装置の第六の実施例を示すブロック図である。

【図17】図16に示した動画像復号表示装置における処理の流れとタイミングを示す説明図である。

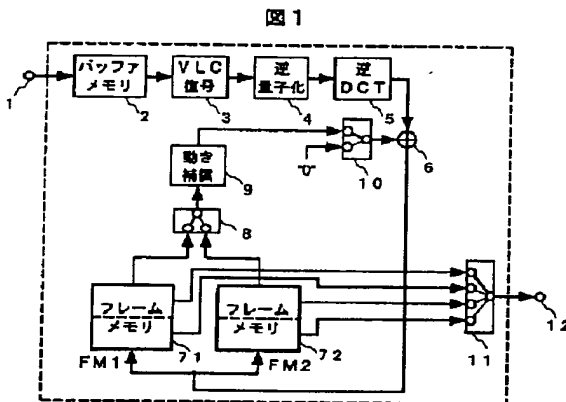
【図18】本発明による動画像復号表示装置の第七の実施例を示すブロック図である。

【図19】本発明による動画像復号表示装置の第八の実施例を示すブロック図である。

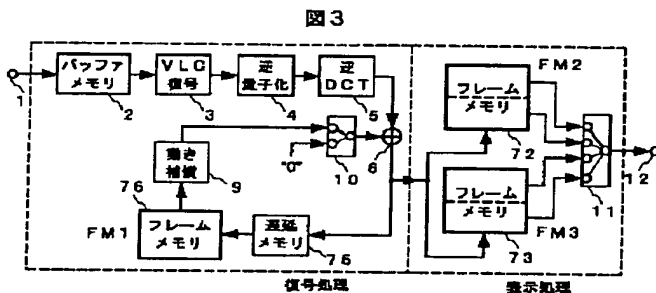
## 【符号の説明】

- 2 バッファメモリ  
 3, 31 VLC復号回路  
 4, 41 逆量子化回路  
 5, 51 逆DCT回路  
 6, 61 予測加算回路  
 71~79 フレームメモリ  
 9, 91~94, 99 動き補償回路

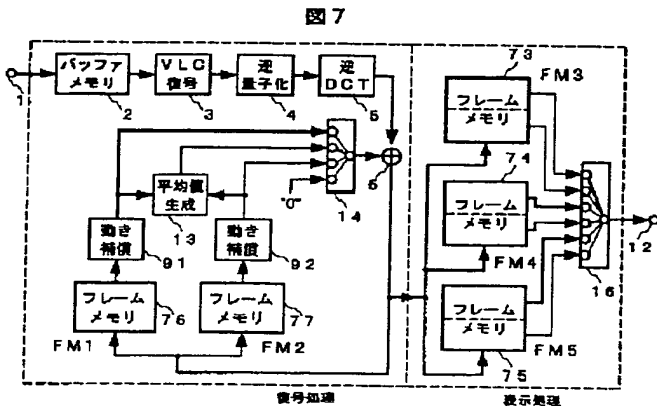
【図1】



【図3】

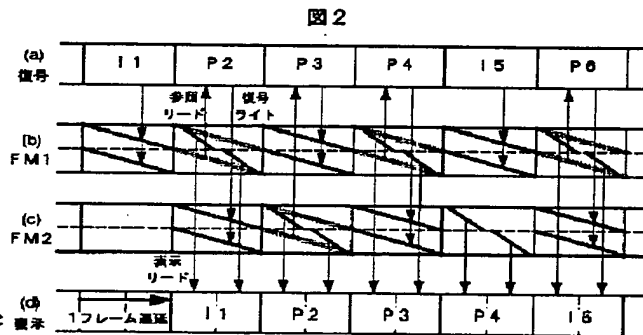


【図7】

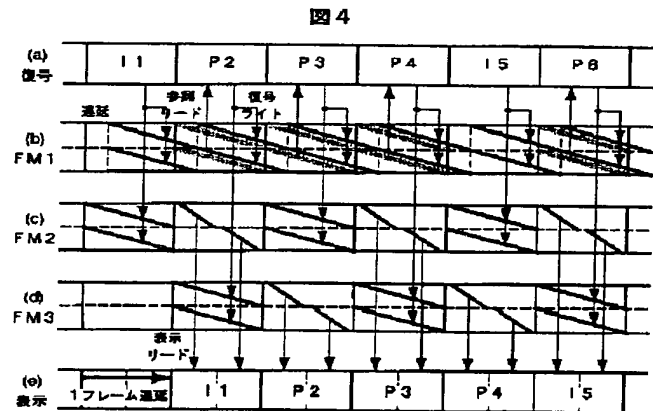


- 13, 95 平均値生成回路  
 10, 14, 21, 24, 25 予測切り換え回路  
 18 停止制御回路  
 11, 15, 17, 19 表示切り換え回路  
 20, 22, 29 アドレス制御回路  
 23 モード切り換え回路  
 80 一体化メモリ

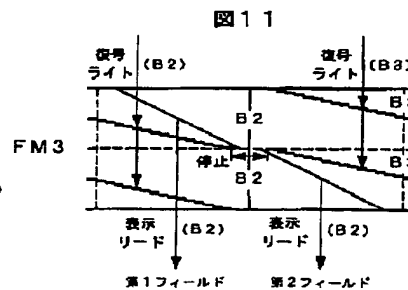
【図2】



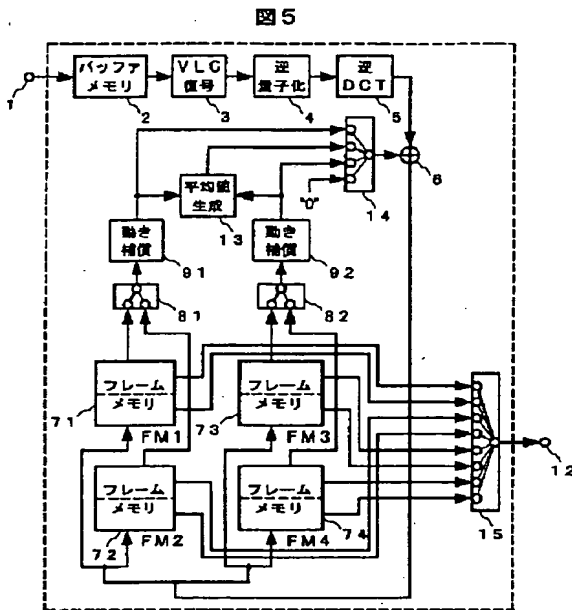
【図4】



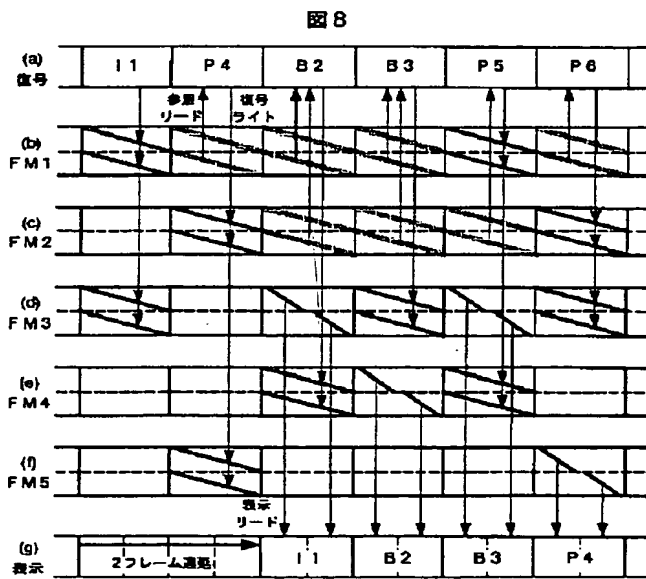
【図11】



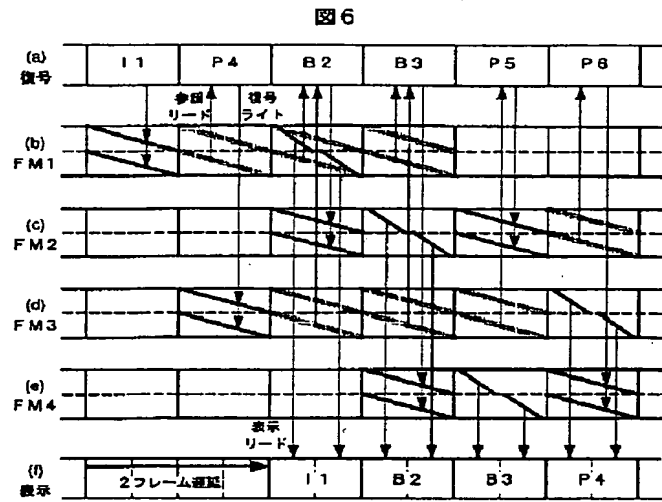
【図 5】



【図 8】

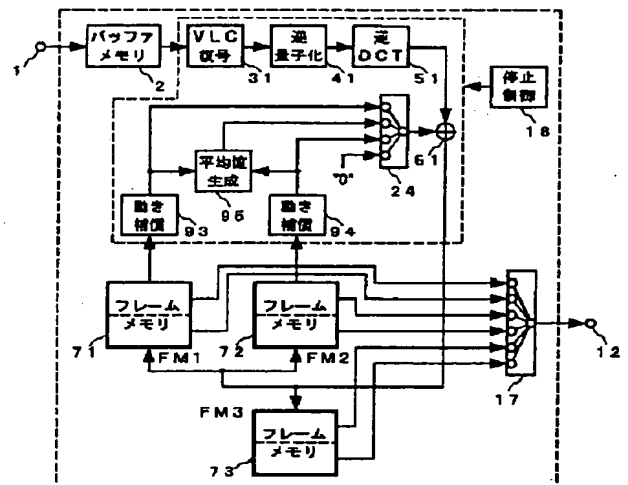


【図 6】



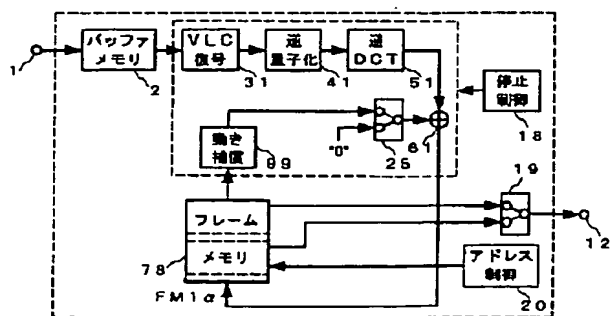
【図 9】

図 9

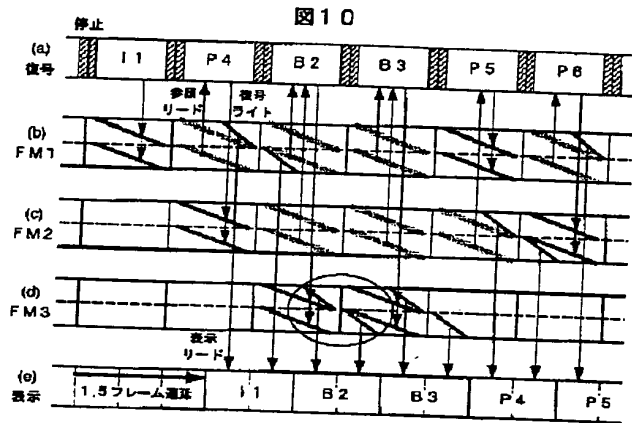


【図 14】

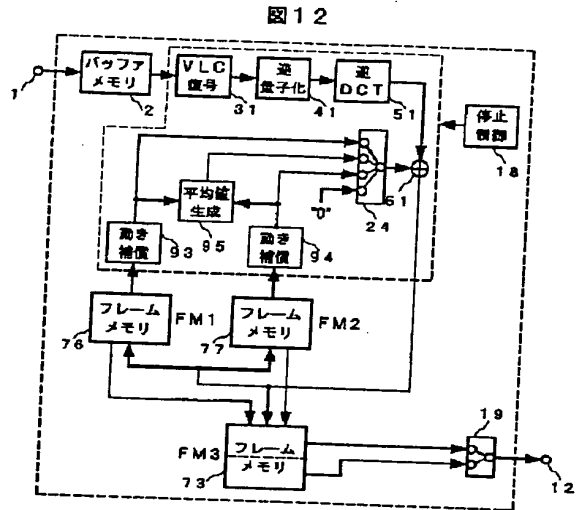
図 14



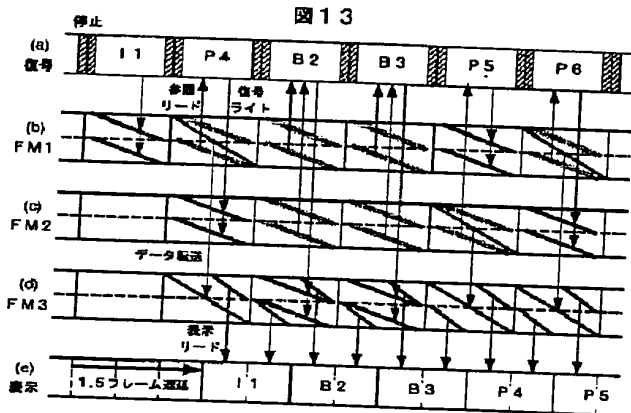
【図10】



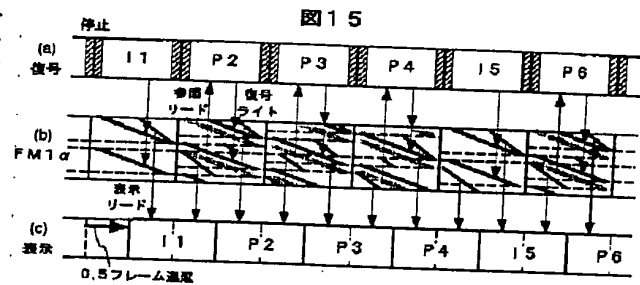
【図12】



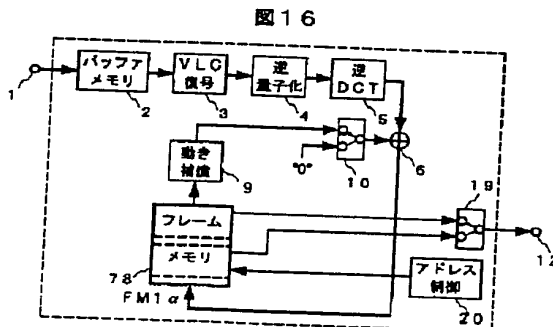
【図13】



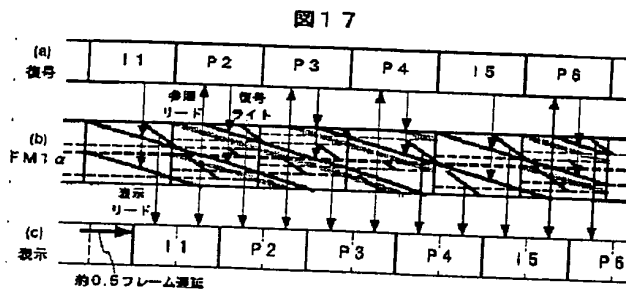
【図15】



【図16】



【図17】





**THIS PAGE BLANK (USFTO)**





⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 195 21 973 A 1**

⑤ Int. Cl.<sup>6</sup>:  
**H 04 N 7/50**  
G 06 T 9/00

DE 195 21 973 A 1

⑳ Aktenzeichen: 195 21 973.2  
㉔ Anmeldetag: 16. 6. 95  
㉕ Offenlegungstag: 21. 12. 95

- ③① Unionspriorität: ③② ③③ ③①  
15.06.94 JP 6-133058 01.07.94 JP 6-150792  
07.07.94 JP 6-155695
- ⑦① Anmelder:  
Hitachi, Ltd., Tokio/Tokyo, JP
- ⑦④ Vertreter:  
Bardehle, Pagenberg, Dost, Altenburg, Frohwitter,  
Geissler & Partner Patent- und Rechtsanwälte, 81679  
München

⑦② Erfinder:  
Oku, Masuo, Kamakura, Kanagawa, JP; Tsuboi,  
Yukitoshi, Yokohama, Kanagawa, JP; Fujii, Yukio,  
Yokohama, Kanagawa, JP; Mizosoe, Hiroki,  
Kawasaki, Kanagawa, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Bilddecodiervorrichtung

- ⑤⑦ Die Erfindung betrifft eine Vorrichtung zum Decodieren von codierten Signalen eines Videosignals, wobei sie die notwendige Speicherkapazität, die Datenbusbreite, die Decodierverzögerungszeit und die Decodiertaktfrequenz reduziert.
- Die Vorrichtung umfaßt eine Decodiervorrichtung zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln im Vollbild; und Displayvorrichtungen zum Auslesen der innerhalb der Speichervorrichtungen in Halbbildeinheiten gespeicherten decodierten Bilddaten auf der Basis eines Display-Synchronisationssignals; und Erhalten von Zeilensprung-Displaybilddaten.
- (1) Die Operation zum Decodieren ist mit der Operation für das Display synchronisiert, und die Speicherkapazität beträgt drei Bilder, oder weniger, und die kleinste Decodierverzögerungszeit beträgt 0,5 Bilder.
- (2) Die Operation zum Decodieren wird durch Zeitschlitzte auf der Basis eines Display-Synchronisationssignals durchgeführt, und die Schiedsschaltung zum Entscheiden über das Speicherbus-Zugriffsrecht entfällt; und außerdem wird die Decodiertaktfrequenz verringert.
- (3) Es wird eine Speichervorrichtung, bestehend aus zwei Speicherfeldern verwendet, wobei die Leistungsfähigkeit des Speicherzugriffs verbessert und die Speicherdatenbreite verringert wird.

DE 195 21 973 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 10. 95 508 051/609

37/28

Die vorliegende Erfindung bezieht sich auf eine Bilddecodiervorrichtung zum Decodieren und/oder Dekomprimieren codierter und/oder komprimierter Bildsignale, und insbesondere auf eine Bilddecodiervorrichtung, die wirksam ist, um die Speicherkapazität, die Speicherdaten-Busbreite, die Decodierverzögerungszeit und die Decodiertaktfrequenz zu reduzieren.

Derzeit wird über einen internationalen Standard für die Bildkompression, auf den mit MPEG 2 Bezug genommen wird, zum Zwecke der Anwendung bei digitalen Funk- und Aufnahmemedien entschieden (vgl. beispielsweise "Journal of the Institute of Television Engineers of Japan", Band 48, Nr. 1, pp. 44 bis 49). Beim MPEG 2 Codiersystem werden Bildsignale durch passendes Kombinieren eines Intra-Bild-Codierrahmens (nachfolgend als I-Rahmen bezeichnet), eines Inter-Bild-Codierrahmens (nachfolgend als P-Rahmen bezeichnet) und eines Bild-Interpolation-Codierrahmens (im folgenden als B-Rahmen bezeichnet) codiert, um die Koexistenz der hohen Datenkompressionsrate und der Funktionen des Direktzugriffs und des Editierens zu ermöglichen.

Beim I-Rahmen werden nur Bilddaten durch Transformationscodieren kombiniert. Es handelt sich um ein System, das darauf beruht, daß unter den Bilddaten im Rahmen eine Korrelation besteht, welche den Rahmen in Blöcke vorbestimmter Größe aufteilt; jeden Block transformiert; die Koeffizientendaten nach der Umwandlung äquivalent zur Frequenzkomponente quantisiert; und die codierte Daten durch Codieren mit variabler Länge erzeugt.

Beim P-Rahmen wird die Datenkompressionsrate unter Benutzung einer hohen Korrelation zwischen den Rahmen gesteigert. Der vorhergehende Rahmen und der aktuelle Rahmen werden in der vorbestimmten Anzahl von Blöcken verglichen, und es wird ein Bewegungsvektor erhalten. Und die Bilddaten des vorhergehenden Rahmens werden jeweils aus der gemäß dem Bewegungsvektor verschobenen Position gelesen, und ein vorhergesagter Wert wird erhalten. Danach wird der vorhergesagte Wert von den Bilddaten des zu codierenden aktuellen Bildes subtrahiert, und dieser bewegungskompensierte Vorhersagefehler wird in der gleichen Weise transformationskompensiert wie beim Intra-Bild-Codiersystem; und codierte Daten werden erzeugt.

Um die Datenkompressionsrate weiter zu steigern, wird der P-Rahmen verwendet. Die Bild-Interpolationscodierung wird auch bidirektionale Bewegungskompensation-Inter-Bild-codierung genannt und verwendet die Korrelation nicht nur beim vorhergehenden Bild, sondern auch beim nachfolgenden Bild. Das System vergleicht das vorhergehende Bild in Display-Reihenfolge mit dem aktuellen Bild in der vorbestimmten Anzahl der Blöcke; es erhält den Bewegungsvektor; es erhält den Bewegungsvektor gleichzeitig auch für das nachfolgende Bild in der Display-Reihenfolge der vorbestimmten Anzahl von Blöcken; es liest die Bilddaten des vorhergehenden Bildes und des nachfolgenden Bildes aus der gemäß den jeweiligen Bewegungsvektoren verschobenen Position; es erzeugt einen Mittelwert; und es erhält einen Bild-Interpolationswert. Danach subtrahiert das System den Bild-Interpolationswert von den Bilddaten des zu codierenden aktuellen Bildes und erhält einen bewegungskompensierten Vorhersagefehler.

Beispielsweise führt das System eine Intra-Bildcodie-

rung für den ersten Rahmen (I-Rahmen) aus; es führt dann eine Inter-Bildcodierung für das vierte Bild unter Benutzung des ersten Bildes als Bezugsbild (P-Rahmen) aus; und führt dann eine Bild-Interpolationscodierung für das zweite und dritte Bild unter Benutzung des ersten und vierten Bildes als Bezugsbild (B-Rahmen) aus. In diesem Falle ist die Display-Folge der Bilder: das erste → das zweite → das dritte → das vierte. Wird aber die Codierfolge wie nachstehend geändert: das erste → das vierte → das zweite → das dritte ist der B-Rahmen kein Bezugsbild für das nachfolgende Codieren.

Ein Fernsehbildsignal ist ein Zwischenzeilenabtastsignal bzw. Zeilensprungsignal, bei dem ein Bild aus zwei Halbbildern strukturiert ist, in denen die Anzahl der Zeilen halb so groß ist und die Zeilenposition alternierend verschoben wird.

Weiter besteht eine Zeitverzögerung zwischen den ein Bild bzw. Rahmen bildenden Halbbildern. Andererseits werden die Bilddaten der beiden Halbbilder zum Codieren vereinigt und dann als Bilddaten eines Vollbildes in Blöcke vorbestimmter Größe aufgeteilt und codiert. In einer Bilddecodiervorrichtung werden die Bilder in der Codierreihenfolge decodiert, so daß die Decodierungsergebnisse in der sequentiellen Abtastfolge in Blockeinheiten erhalten werden, die im Bild von oben links nach unten rechts verlaufen. Bei der Bilddecodiervorrichtung ist es allerdings erforderlich, ein Zeilensprungvideosignal auszugeben.

Aus diesem Grunde ist es bei einer Bilddecodiervorrichtung erforderlich, zwischen dem sequentiellen Abtasten in Blockeinheiten und dem Zwischenzeilenabtasten in Pixeleinheiten umzuwandeln. Wenn der P-Rahmen einbezogen wird ist es erforderlich, die Bilder umzuordnen, derart, daß in die normale Displayreihenfolge umgeordnet wird.

Eine herkömmliche Bilddecodiervorrichtung ist beispielsweise im Dokument C-659 (Proceedings 5, S. 227) der IEICE (Institute of Electronics, Information and Communication Engineers) Spring Conference, oder im Dokument ISSCC 94 (International Solid State Circuit Conference) 1994/Sitzung 4/Video and Communication Single Processors/Beitrag WP 4.4 beschrieben. Die herkömmliche Bilddecodiervorrichtung sieht vor: einen Pufferschritt zum Einschreiben codierter Daten, die jeweils im Eingabetakt in den Puffer für codierte Daten eingegeben werden müssen; einen Decodierschritt zum Lesen und Decodieren der codierten Daten, im vorbestimmten Takt des Decodiertaktes, aus dem Speicher für codierte Daten; und dem Schreiben der decodierten Bilddaten in einen Bildspeicher; der eine Kapazität von mehreren gleichzeitigen Bildern aufweist; und sie sieht einen Displayschritt zum Auslesen der decodierten Bilddaten aus dem Bildspeicher durch Ausführen einer Abtastumwandlung und einer Bildumordnung sowie das Anzeigen (Display) und Ausgeben derselben als digitales Videosignal entsprechend dem vorbestimmten Displaytakt vor. Weiter liest im Falle, daß die Decodierdaten P-Rahmendaten oder B-Rahmendaten sind, der Decodierschritt die Bezugsbilddaten im Bezugsbild aus dem Bildspeicher aus, so daß eine Bewegungskompensation durchgeführt wird.

Der Eingangstakt ist der Sendetakt für den digitalen Rundfunk. Der Displaytakt bezieht sich auf die Abtastfrequenz des digitalen Videosignals und ist auf den Standardwert von 13.5 MHz oder 27 MHz eingestellt. Der Decodiertakt ist auf eine Frequenz eingestellt, bei der das Decodieren der decodierten Daten jedes Bildes stets innerhalb einer Einbild-Periode beendet werden

kann, selbst unter Berücksichtigung von Änderungen des Verarbeitungsaufwandes, der für das Decodieren codierter Daten jedes Bildes benötigt wird.

Der für das Decodieren codierter Daten jedes Bildes erforderliche Verarbeitungsaufwand variiert allgemein gemäß dem Codiersystem, mit welchem das Bild codiert ist, d. h. sei es, daß es als E-Rahmen, P-Rahmen oder als B-Rahmen codiert ist. Der Verarbeitungsaufwand variiert auch mit der Menge der codierten Daten des Bildes. Der Decodiertakt kann unabhängig vom Eingabetakt oder vom Displaytakt eingestellt werden, und er kann auf eine Frequenz im vorbestimmten Verhältnis zum Displaytakt eingestellt werden. In jedem Falle werden der Decodierschritt und der Displayschritt unabhängig voneinander und asynchron durchgeführt. Weiter wird auch ein Pufferschritt für die codierten Daten benötigt, und diese Operation erfolgt asynchron zur Speicherzugriffsoperation des Decodierschrittes und des Displayschrittes. Daher ist eine Schiedsfunktion zur Entscheidung über das Speicherzugriffsrecht wesentlich. Es ist allgemein erforderlich, den Decodierschritt während der Entscheidungsperiode zu stoppen; und es ist weiter erforderlich, den Decodiertakt im voraus etwas höher einzustellen, um die codierten Daten eines Bildes während der Ein-Bildperiode unter Ausschluß der Schiedsperiode zu verarbeiten. Eine herkömmliche Bilddecodiervorrichtung ist ein Gerät, das einem üblichen Fernsehgerät des in den USA und Japan verwendeten Systems 525/60 entspricht, wobei die Bilddaten des Bildes aus den Daten eines Helligkeitssignals und zwei Arten von Farbsignalen bestehen. Das Helligkeitssignal besteht aus 720 horizontalen Pixeln und 480 vertikalen Zeilen, und die beiden Arten von Farbsignalen bestehen aus 360 Pixeln und 240 Zeilen, bei denen die Auflösung halb so groß wie die des Helligkeitssignals in der horizontalen und vertikalen Richtung ist. Weiter werden in einer herkömmlichen Vorrichtung für die Bilddecodierung vier dynamische RAMs (DRAMs) mit der Konfiguration  $246k \times 16$  Bits (4M Bits) benutzt; und für die Gesamtkapazität von 16M Bits können 2 Blöcke zum Speichern der Bilddaten des für die Decodierung benötigten Bezugsbildes, und 1,5 Blöcke für die Zwischenzeilenumwandlung im Displayschritt als Bildspeicherbereich verwendet werden, d. h. 3,5 Blöcke insgesamt (etwa  $4M \text{ Bits} \times 3,5 = 14M \text{ Bits}$ ); und etwa 2M verbleibende Bits können als Pufferbereich für codierte Daten benutzt werden. Der Datenbus liest und schreibt codierte Daten oder Bilddaten von  $64 (16 \times 4)$  Bits Länge, und 40 MHz sind als Decodiertaktfrequenz gewählt.

Als Zusammenfassung der Erfindung und im Vergleich mit einer herkömmlichen Bilddecodiervorrichtung ergibt sich:

- 1) Ein Ziel der vorliegenden Erfindung besteht darin, eine Zeilensprung-Umwandlung decodierter Bilddaten eines einzelnen Bildspeichers durchzuführen und die Speicherkapazität zu reduzieren. Auf die Weise kann die Speicherkapazität auf weniger als 16M Bits auch bei dem in Europa benutzten System 625/50 (1 Bild = etwa 4,7M Bits) reduziert werden, bei welchem die Anzahl der Einbild-Bilddaten größer als die in den USA und Japan ist. Weiter kann die durch das Decodieren verursachte Verzögerung verringert werden.
- 2) Ein weiteres Ziel der vorliegenden Erfindung besteht darin, unterschiedliche asynchrone Operationen durchzuführen, ohne die Schiedsfunktion für das Speicherzugriffsrecht zu benutzen. Auf diese

Weise wird die Blockdecodierfrequenz verringert. Dies hat auch die Wirkung einer Verkleinerung der Schaltungsgröße durch Verringern des Energieverbrauchs und Vergrößern des Spielraums für die Schaltungsbetriebsverzögerung.

3) Ein noch weiteres Ziel der Erfindung besteht darin, auf den Speicher rationell zuzugreifen und die Datenbusbreite des Speichers zu verringern. Auf diese Weise kann beispielsweise zur Herstellung einer LSI (hochintegrierte Schaltung) für eine Bilddecodiervorrichtung die Anzahl der Stifte reduziert werden, und weiter kann die Anzahl der Leiterspuren einer Leiterplatte verringert werden.

Um diese Ziele zu erreichen, weist die vorliegende Erfindung auf: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln im Vollbild; und Displayvorrichtungen zum Auslesen der innerhalb der Speichervorrichtungen in Halbbildeinheiten gespeicherten decodierten Bilddaten auf der Basis eines Display-Synchronisationssignals; und Erhalten von Zeilensprung-Displaybilddaten.

Die Datenverarbeitung vollzieht sich wie folgt:

1) Die Datenverarbeitung für das Decodieren wird synchron mit den Operationen für das Display durchgeführt, und die kleinste Verzögerungszeit vom Beginn des Decodierens der codierten Daten eines einzelnen Bildes bis zum Beginn des Display beträgt 0,5 Bilder.

2) Der Zeitschlitz wird auf der Basis des Display-Synchronisationssignals getaktet, und der Zugriff der Decodiervorrichtung und der Displayvorrichtung erfolgt auf der Basis des Zeitschlitzes.

3) Die Speichervorrichtung besteht aus zwei Speicherfeldern; und für den Zugriff der Decodiervorrichtung und der Displayvorrichtung auf die Speichervorrichtung werden die beiden Speicherfelder abwechselnd benutzt. Die Vorrichtung gemäß der Erfindung führt die nachfolgenden Operationen aus.

1) Da die Operationen zum Decodieren synchron mit den Operationen für das Display durchgeführt werden, und die Verzögerungszeit vom Beginn des Decodierens bis zum Beginn des Displays 0,5 Bilder beträgt, werden die decodierten Bilddaten des Bildes während des Decodierens mit der Kapazität von mindestens einem Bilde eingeschrieben; und das Auslesen der decodierten Bilddaten des vorhergehenden Bildes als Displaybilddaten wird beendet, ehe die decodierten Bilddaten des vorherigen Bildes durch das erneute Einschreiben von laufend decodierten Bilddaten verlorengehen; und schließlich wird eine Zeilensprung-Displayausgabe erhalten. Die Folge ist, daß bei einer Speicherkapazität von drei Bildern oder weniger; einschließlich des Speichers zum Speichern der Bezugsbilddaten, die Operationen für das Decodieren und die Operationen für das Display vollzogen werden können.

2) Auf den Speicher wird auf der Basis des zuvor bestimmten Zeitschlitzes zugegriffen; und selbst wenn es eine beträchtliche Schwankung in bezug auf den zum Decodieren der codierten Daten jedes Bildes erforderlichen Verarbeitungsaufwand gibt, können die codierten Daten eines Bildes stets während einer Halbbildperiode decodiert werden. Eine

Entscheidung über das Speicherzugriffsrecht zwischen verschiedenen Speicherzugängen ist nicht erforderlich, so daß die Decodiertaktfrequenz verringert und auch die Schaltungsgröße verkleinert werden kann.

3) Da zwei Speicherfelder abwechselnd benutzt werden, ist es möglich, kontinuierlich Daten aus dem Speicher zu lesen oder in den Speicher zu schreiben. Auf diese Weise kann auf den Speicher wirksam zugegriffen werden, und der erforderliche Speicherzugriff kann auch bei einer geringen Datenbreite erfolgen.

Weitere Merkmale, Vorteile und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung. Darin zeigt:

Fig. 1 ein Blockschaltbild einer Vorrichtung zum Decodieren von Bildern, die eine Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 2 ein Diagramm, das eine Ausführungsform der Aufteilung des Speicherbereichs darstellt;

Fig. 3 ein Blockschaltbild der in Fig. 1 dargestellten Taktgabeeinheit;

Fig. 4 ein Blockschaltbild des in Fig. 1 dargestellten Eingangspufferspeichers und des Pufferspeichers für decodierte Daten;

Fig. 5 ein Blockschaltbild der in Fig. 1 dargestellten Bewegungskompensationseinheit;

Fig. 6 ein Blockschaltbild der in Fig. 1 dargestellten Displayeinheit;

Fig. 7 ein Blockschaltbild der in Fig. 1 dargestellten Speichercontroller;

Fig. 8 zeigt Taktgabediagramme der Operationen für das Decodieren und der Operationen für das Display;

Fig. 9 eine vergrößerte Ansicht der in Fig. 8 dargestellten Taktgabe;

Fig. 10 Taktgabediagramme der Operationen für das Decodieren und der Operationen für das Display, wenn kein B-Rahmen einbezogen ist;

Fig. 11 ein Diagramm zur Erläuterung des Speichersteuersystems entsprechend einem Fernsehsignal des Systems 525/60;

Fig. 12 ein Diagramm zur Erläuterung des Speichersteuersystems entsprechend einem Fernsehsignal des Systems 625/50;

Fig. 13 ein Blockschaltbild des in Fig. 1 dargestellten Speichers;

Fig. 14 ein Diagramm, das eine Ausführungsform der Aufteilung des in Fig. 13 dargestellten Speicherbereichs darstellt;

Fig. 15 ein Blockschaltbild einer Speichersteuersignal-Generatoreinheit für den in Fig. 13 dargestellten Speicher;

Fig. 16 ein Diagramm, das die Steuertaktgabe für den in Fig. 13 dargestellten Speicher zeigt;

Fig. 17 ein Diagramm, das die Blockaufteilung eines Einbild-Bildes der vorliegenden Erfindung darstellt;

Fig. 18 ein Diagramm, das die Abbildung des Makroblockes in den Bildspeicherbereich in dem in Fig. 13 dargestellten Speicher zeigt; und

Fig. 19 ein Diagramm, das die Bezugsbilddaten-Lese-reihenfolge der vorliegenden Erfindung darstellt.

Nunmehr werden die Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Zeichnungen erläutert.

Fig. 1 ist ein Diagramm, das eine Bilddecodiervorrichtung der vorliegenden Erfindung veranschaulicht. Das

Bezugszeichen 1 bezeichnet eine Decodierschaltung zur Durchführung der Operationen für das Decodieren und der Operationen für das Display codierter Daten; und Fig. 2 bezeichnet einen Speicher; der mit der Decodierschaltung 1 verbunden ist. Die Decodierschaltung 1 besteht aus einem Eingangspufferspeicher 11, einem Pufferspeicher für decodierte Daten 12, einer Einheit 13 zum Decodieren variabler Längen, einer IDCT-Einheit 14 (invers-diskrete Kosinustransformation), einer Bewegungskompensationseinheit 15, einer Displayeinheit 16, einem Speichercontroller 17 und einer Taktgabeeinheit 18.

Fig. 2 zeigt eine Bereichsaufteilungsabbildung des Speichers 2. Die Größe jedes Bildes ist auf 4.7M Bits unter Berücksichtigung des Fernsehsystems in Europa eingestellt, und eine Kapazität von 16M Bits ist auf drei Bilder aufgeteilt; und der Puffer für codierte Daten besitzt eine Kapazität von mindestens 1.8M Bits.

Gemäß Fig. 1 werden die codierten Daten (komprimierte Bilddaten) in den Pufferspeicher 11 der Decodierschaltung 1 eingegeben. Weiter werden die codierten Daten zeitweilig vom Eingangspufferspeicher 1, über den Datenbus und den Speichercontroller 17, im Speicher 2 gespeichert. Nach dem vorübergehenden Speichern werden die codierten Daten aus dem Speicher 2 über den Speichercontroller 17 ausgelesen und im Pufferspeicher für decodierte Daten 12 gespeichert.

Die codierten Daten werden vom Pufferspeicher 12 und auf Anforderung der Einheit 13 zum Decodieren variabler Längen an die variable Längen decodierende Einheit 13 für decodierte Daten geliefert. Die Einheit 13 zum Decodieren variabler Längen decodiert die Koeffizientendaten der codierten Daten, die durch diskrete Kosinustransformation erhalten wird; die Bewegungsvektordinformation und die Codiertypinformation, und sendet die Faktordaten an die IDCT-Einheit 14, die Bewegungsvektordinformation an die Bewegungskompensationseinheit 15, und die Codiertypinformation an die Displayeinheit 16. Die IDCT-Einheit 14, die invers-diskrete Kosinustransformation der Koeffizientendaten durch, erzeugt IDCT-Bilddaten und liefert sie an die Bewegungskompensationseinheit 15. Die Bewegungskompensationseinheit 15 liest auf der Basis der Bewegungsvektordinformation Bezugsbilddaten aus dem Speicher 2 aus und erzeugt decodierte Bilddaten durch Hinzufügen der IDCT-Bilddaten zu den Bezugsbilddaten.

Weiter werden die decodierten Bilddaten über den Speichercontroller 17 im Speicher 2 gespeichert. Danach werden die decodierten Bilddaten auf Anforderung der Displayeinheit 16 ausgelesen und von der Displayeinheit 16 als Displaybilddaten ausgegeben. Die decodierten Bilddaten des I-Rahmens oder des P-Rahmens werden auch als Bezugsbilddaten verwendet.

Fig. 3 ist ein Diagramm, das den Aufbau des wesentlichen Teils der Taktgabeeinheit 18 zeigt. Wie in der Zeichnung dargestellt, arbeitet die Taktgabeeinheit 18 im externen Synchronisationsmodus, um von außen her das Horizontal-Synchronisationssignal und das Vertikal-Synchronisationssignal des Videosignals zu liefern. Die Taktgabeeinheit 18 kann einen Synchronisationssignalgenerator zum Erzeugen eines Horizontal-Synchronisationssignals und eines Vertikal-Synchronisationssignals in sich aufweisen und im internen Synchronisationsmodus arbeiten, bei dem der Synchronisationssignalgenerator im Takte des Decodierens des ersten Bildes der codierten Daten ausgelöst wird und ein Horizontal-Synchronisationssignal sowie ein Vertikal-Syn-

chronisationssignal erzeugt. In der Figur bezeichnet 181 eine Horizontaltaktgabe-Generatorschaltung, 182 eine Vertikaltaktgabe-Generatorschaltung und 183 eine Logikschaltung. Die Horizontaltaktgabe-Generatorschaltung 181 wird durch ein Horizontal-Synchronisationssignal rückgesetzt und bildet einen Horizontalpixelzähler zur Durchführung einer Zähloperation entsprechend beispielsweise einem Taktsignal von 13,5 MHz. Der Horizontalpixelzähler wiederholt die Zähloperation für die Gesamtzahl der Pixel in einer Zeile, einschließlich der horizontalen Anstastperiode, d. h., für 858 Pixel. Die Vertikaltaktgabe-Generatorschaltung 182 wird durch ein Vertikal-Synchronisationssignal rückgesetzt und bildet einen Vertikalzeilenzähler zur Durchführung einer Einzelzähloperation jedesmal dann, wenn die Horizontaltaktgabe-Generatorschaltung 181 die Zähloperation der Gesamtzahl der eine Zeile bildenden Pixel beendet. Der Vertikalzeilenzähler führt eine Zähloperation über die Gesamtzahl der Zeilen in einem Halbbild einschließlich der horizontalen Austastperiode durch, d. h. über 263 Zeilen oder 262 Zeilen. Der Vertikalzeilenzähler führt die Zähloperation abwechselnd über 262 Zeilen im ersten Halbbild oder 263 Zeilen im zweiten Halbbild durch, die ein Vollbild bilden.

Die Logikschaltung 183 gibt den Eingangstakt von 13,5 MHz als Displaytakt aus und erzeugt weiter einen Decodiertakt von etwa 22 MHz durch eine PLL-Schaltung, und gibt sie aus. Die Frequenz des Decodiertaktes ist so gewählt, daß die codierten Daten eines Bildes während der Einbild-Periode decodiert werden können, ohne Rücksicht auf den Codiertyp; und der Decodiertakt wird zu einem Taktsignal, das die Basis für die Taktgabe der Operationen zum Decodieren im Pufferspeicher 12 für decodierte Daten, der Einheit 13 zum Decodieren mit variabler Länge, der IDCT-Einheit 14 und der Bewegungskompensationseinheit 15 bildet. Die Frequenz des Displaytaktes gleicht der Abtastfrequenz des Helligkeitssignals, und der Displaytakt bildet ein Taktsignal, das die Basis für die Taktgabe der Operationen für das Display in der Displayeinheit 16 ist. Weiter wird ein Taktsignal, das zwei- oder dreimal größer als der Decodiertakt ist, als Speichertakt an den Speichercontroller 17 als Speichertakt geliefert. Wenn der Speichertakt zweimal so groß wie der Decodiertakt ist, wird die Datenbusbreite in der Decodierschaltung 1 auf das Doppelte der Datenbusbreite im Speicher 2 eingestellt, und wenn der Speichertakt dreimal so groß ist, wird die Datenbusbreite in der Decodierschaltung 1 auf das Dreifache eingestellt, so daß die Datenrate, die über den Datenbus in der Decodierschaltung 1 an den Speichercontroller 17 geliefert wird, um die Datengeschwindigkeit, die vom Speichercontroller 17 zum Speicher 2 besteht, gleich groß gemacht werden. Im Rahmen der nachfolgenden Erläuterung beträgt der Speichertakt das Dreifache des Decodiertaktes.

Außerdem erzeugt die Logikschaltung 183 verschiedene Taktgabesteuersignale aus dem Horizontalpixel-Zählwert, der von der Horizontaltaktgabe-Generatorschaltung 181 erzeugt wird, und aus einem Vertikalzeilen-Zählwert, der von der Vertikaltaktgabe-Generatorschaltung 182 erzeugt wird, und sie gibt diese aus. Weiter synchronisiert sie die Operationen für das Display mit den Operationen für das Decodieren.

Fig. 4 ist ein Diagramm, daß den Aufbau des Eingangspufferspeichers 11 und des in Fig. 1 dargestellten Pufferspeichers 12 für decodierte Daten darstellt. Im Eingangspufferspeicher 11 bezeichnet 111 eine Parallelisierschaltung, 112 einen FIFO-Speicher; 113 einen

Rechner zur Ermittlung der Kapazität eines leeren Speicherbereichs und 114 einen FIFO-Controller. Im Decodierdaten-Pufferspeicher 12 bezeichnet 121 einen FIFO-Speicher; 122 einen Rechner zur Ermittlung der Kapazität eines leeren Speicherbereichs und 123 einen FIFO-Controller.

Der Eingangspufferspeicher 11 hat die Aufgabe der Vermittlung codierter Daten von der Eingangseinheit an den Speicher 2. Die codierten Daten besitzen eine Konfiguration von beispielsweise 8 Bits und werden in die Parallelisierschaltung 111 des Eingangspufferspeichers 11 gemäß einem Eingabetakt eingegeben. Die Parallelisierschaltung 111 parallelisiert die eingegebenen Daten mit 48-Bitdaten (die Busbreite des Speichers ist auf 16 Bits eingestellt), die die gleiche Datenbreite besitzen wie der Datenbus, und sie gibt die Daten in den FIFO-Speicher 112. Der FIFO-Speicher 112 ist der allgemein bekannte first-in/first-out-Speicher und wird durch den FIFO-Controller 114 gesteuert. Die Steuerung des FIFO-Controllers 114 basiert auf dem Ergebnis das sich einstellt, wenn die Kapazität des leeren Speicherbereichs des FIFO-Speichers 112 vom Rechner für die Kapazität des leeren Speicherbereichs 113 berechnet ist, und sie basiert auf einem Datenanforderungssignal. Wenn nämlich das Datenanforderungssignal einen Datenzulassungsstatus anzeigt, und wenn das Berechnungsergebnis des Rechners für die Kapazität des leeren Speicherbereichs 113 anzeigt, daß die vorbestimmte Anzahl von Daten im FIFO-Speicher 112 gespeichert ist, werden die codierten Daten aus dem FIFO-Speicher 112 zum Datenbus ausgelesen. Der Lesetakt ist der Decodiertakt, und die Asynchronisierung des Eingangstaktes und des Decodiertaktes wird vom FIFO-Speicher freigegeben.

Der Pufferspeicher 12 für decodierte Daten vermittelt die decodierten Daten mit einer 48-Bitbreite vom Speicher 2 über den FIFO-Speicher 12 an die Einheit 13 zum Decodieren variabler Längen, die der ersten Stufe der in Fig. 1 dargestellten Bilddecodierverarbeitung äquivalent ist. Der FIFO-Speicher 121 wird durch den FIFO-Controller 123 gesteuert. Um nämlich Daten an den FIFO-Speicher 121 zu liefern berechnet der Rechner für die Kapazität des leeren Speicherbereichs 122 den leeren Bereich des FIFO-Speichers 121; er gibt ein Datenanforderungssignal an den Speichercontroller 17 aus, wenn es im FIFO-Speicher 121 einen leeren Bereich gibt; er empfängt ein Datenquittierungssignal, das vom Speichercontroller 17 ausgegeben wird; und er schreibt die vorbestimmte Anzahl von codierten Daten, ausgelesen aus dem Speicher 2, in den FIFO-Speicher 121. Weiter gibt der FIFO-Speicher 121 auf Anforderung der Einheit 13 zum Decodieren variabler Längen codierte Daten aus.

Fig. 5 ist ein Diagramm, daß den Aufbau der Bewegungskompensationseinheit 15 darstellt. In der Figur bezeichnet 150 einen Bewegungsvektordecoder; 151 einen Addierer; 152 eine Serialisierschaltung, 153 und 154 Bezugsbildspeicher; 155 einen Taktgabecontroller für die Bezugsbildspeicher 153 und 154, 156 eine Parallelisierschaltung, 157 und 158 Speicher für decodierte Bilder und 159 einen Taktgabecontroller für die Speicher 157 und 158 für decodierte Bilder.

Der Bewegungsvektordecoder 150 decodiert eine differenzcodierte Bewegungsvektorinformation, die von der Einheit 13 zum Decodieren variabler Längen eingegeben wird, und sendet sie an den Speichercontroller 17.

Bezugsbilddaten, die zur Bewegungskompensation ausgelesen werden, werden vom Speicher 2 über den

Datenbus in die Bezugsbildspeicher 153 und 154 eingegeben; und die beiden Bezugsbildspeicher 153 und 154 werden gelesen und abwechselnd in Makroblockeinheiten eingeschrieben, was später erläutert wird. Wenn sich nämlich einer von ihnen im Bezugsbild-Schreibmodus befindet, befindet sich der andere im Lesemodus. Die Bezugsbilddaten hängen vom Bildcodiertyp ab, wobei P-Rahmendaten nur Daten vom vorhergehenden Bild sind, während B-Rahmendaten Daten vom vorhergehenden und nachfolgenden Bild sind. Der E-Rahmen erfordert keine Bezugsbilddaten, und aus dem Speicher 2 werden keine Daten gelesen.

Die aus den Bezugsbildspeichern 153 und 154 ausgelesenen Bezugsbilddaten werden als eine der Eingaben des Addierers 151 durch die Serialisierschaltung 152 geliefert, welche Daten mit einer 48-Bit-Breite in Daten von Pixeleinheiten umwandelt. Um in B-Rahmen codierte Daten zu decodieren, berechnet die Serialisierschaltung 152 nötigenfalls den Mittelwert der Bezugsbilddaten aus dem vorherigen Bild und dem nachfolgenden Bild, und gibt den Mittelwert aus. Die andere Eingabe des Addierers 151 besteht aus den IDCD-Bilddaten, die durch die IDCD-Einheit 14 der invers-diskreten Kosinustransformation unterzogen werden. Die Bewegungskompensation wird dann durch den Addierer 151 durchgeführt, und decodierte Bilddaten werden erzeugt. Von den decodierten Bilddaten werden einige Pixel durch die Parallelisierschaltung 156 parallelisiert, und die Datenbreite derselben wird wieder auf 48 Bit eingestellt. Dann werden die Daten an die Speicher 157 und 158 für decodierte Bilder geliefert. Die Speicher 157 und 158 für decodierte Bilder arbeiten auch in Makroblockeinheiten im Bankformat; und wenn der eine Speicher sich im Schreibmodus für decodierte Bilddaten befindet, befindet sich der andere im Lesemodus. Weiter werden die aus den Speichern 157 und 158 für decodierte Bilder gelesenen decodierten Bilddaten über den Datenbus in den Speicher 12 geschrieben.

Fig. 6 zeigt den detaillierten Aufbau der Displayeinheit 16. In der Displayeinheit 16 bezeichnet 161 einen Helligkeitszeilenspeicher; 162 eine Interpolationsschaltung, 163 und 164 zwei Arten von Farbsignal-Zeilenspeichern, 165 eine Serialisierschaltung, 166 einen Taktgabeecontroller; 167 eine OSD-Generatorschaltung und 168 einen Multiplexer. Die Serialisierschaltung 165 wandelt Displaybilddaten, die über den Datenbus mit einer 48-Bit-Datenbreite eingegeben werden, in Daten in Form von 8-Bit-Pixeleinheiten um und gibt sie sequentiell aus. Die Displaybilddaten des Helligkeitssignals werden in den Helligkeitssignal-Zeilenspeicher 161 geschrieben, und die Display-Bilddaten der zwei Arten von Farbsignalen werden jeweils entsprechend in die Farbsignal-Zeilenspeicher 163 und 164 geschrieben. Wenn beispielsweise während einer Horizontalabtastperiode Daten aus dem Speicher 2 dreimal ausgelesen werden, ist der Helligkeitssignal-Zeilenspeicher 161 ein FIFO-Speicher mit einer Kapazität von 240 Bytes und die Farbsignal-Zeilenspeicher 163 und 164 sind FIFO-Speicher jeweils mit einer Kapazität von 120 Bytes.

Die Displaybilddaten des Helligkeitssignals werden sequentiell aus dem Helligkeitssignal-Zeilenspeicher 161 gemäß einem Displaytakt von 13,5 MHz während der Displayperiode gelesen, unter Ausschluß der horizontalen Austastperiode und der vertikalen Austastperiode. Gleichzeitig werden die Displaybilddaten der beiden Arten von Farbsignalen sequentiell aus den Farbsignal-Zeilenspeichern 162 und 163 gemäß einem Takt von 6,75 MHz gelesen, was die Hälfte der Frequenz des

Displaytaktes ist. Der Takt zum Beschreiben und Auslesen jedes der Zeilenspeicher 161, 162 und 163 wird vom Taktgabeecontroller 166 gemäß einem Taktgabeeinheitssignal gesteuert, das von der Taktgabeeinheit 18 geliefert wird.

Die Interpolationsschaltung 162 führt die Operationen zum Interpolieren in vertikaler Richtung jeweils für die Displaybilddaten der beiden Arten von Farbsignalen durch und macht die Anzahl der vertikalen Zeilen derjenigen des Helligkeitssignals gleich. Danach führt die Interpolationsschaltung das Zeitmultiplexieren abwechselnd für die Displaybilddaten der zwei Arten von Farbsignalen in Pixeleinheiten durch. In jedem Halbbild wird das Farbsignal von 120 Zeilen, das durch die Operationen für das Decodieren decodiert wird, in ein Signal von 240 Zeilen um, was eine Verdoppelung ist. Aus diesem Grunde ist ein Zeilenspeicher zum Speichern der decodierten Bilddaten der beiden Arten von Farbsignalen der vorhergehenden Zeile in die Interpolationsschaltung 162 einbezogen.

Die Displayeinheit 16 kann die Funktion zum Einstellen eines OSD-Bereiches zum Speichern von OSD-Daten (on picture display) im Speicher 2 durchführen, indem sie die OSD-Daten aus dem OSD-Bereich als Teil der Displaybilddaten ausliest; Bit-Map-Bilddaten von Zeichen und Grafik erzeugt; und sie den Displaybilddaten überlagert.

Die OSD-Generatorschaltung 167 speichert und hält die aus dem Speicher 2 ausgelesenen OSD-Daten zunächst intern und erzeugt Bit-Map-Bilddaten der Zeichen und Grafik gemäß dem Ausgabetakt der Displaybilddaten. Der Multiplexer 168 überlagert die von der OSD-Generatorschaltung 167 ausgegebenen Bit-Map-Bilddaten den Displaybilddaten, die von den Zeilenspeichern 161, 163 und 164 ausgegeben werden und gibt sie als Ausgabebilddaten aus.

Fig. 7 ist ein Diagramm, das den Aufbau des Speichercontrollers 17 darstellt. Im Diagramm bezeichnet 171 eine Serialisierschaltung, 172 eine Parallelisierschaltung, 173 einen Rechner zum Ermitteln der Kapazität eines leeren Speicherbereichs, 174 eine Schreibadressen-Generatoreinheit für codierte Daten, 175 eine Leseadressen-Generatoreinheit für codierte Daten, 176 eine Leseadressen-Generatoreinheit für bewegungskompensierte Bezugsbilddaten, 177 eine Schreibadressen-Generatoreinheit für decodierte Bilddaten und 178 eine Leseadressen-Generatoreinheit für Displaybilddaten.

Die Serialisierschaltung 171 wandelt Daten, die über den Datenbus eingegeben werden, von 48-Bit-Daten in drei 16-Bit-Seriendaten um, die die Eingabe-/Ausgabebusbreite des Speichers 2 bilden, und gibt sie an den Speicher 2 aus.

Die Parallelisierschaltung 172 wandelt Daten mit einer 16-Bit-Breite, die vom Speicher 2 eingegeben werden, in drei seriell-kontinuierliche Daten parallel um und gibt sie als 48-Bit-Daten an den Datenbus aus.

Die Bezugszeichen 174 bis 178 bezeichnen Generatoren, die ein Adressensignal und ein Steuersignal des Speichers 2 erzeugen. Je nach der Art der an den Speicher 2 ausgegebenen oder vom Speicher 2 eingegebenen Daten arbeitet eine der Generatoreinheiten, wobei die Ausgabe der arbeitenden Adressengeneratoreinheit als Adressensignal und als Steuersignal an den Speicher 2 geliefert wird.

Die Schreibadressen-Generatoreinheit 174 für codierte Daten erzeugt Adreß- und Steuersignale zum sequentiellen Einschreiben codierter Daten und steuert das Einschreiben der codierten Daten in den Speicher 2.

Die Leseadressen-Generatoreinheit 175 für codierte Daten erzeugt Adreß- und Steuersignale zum sequentiellen Auslesen der codierten Daten, und sie steuert das Auslesen der codierten Daten aus dem Speicher 2. Wenn vom Pufferspeicher 12 für decodierte Daten kein Datenanforderungssignal ausgegeben wird, auch nicht während einer Periode, in der codierte Daten ausgelesen werden können, wird das Auslesen der codierten Daten aus dem Speicher 2 angehalten. Der Rechner 173 zum Berechnen eines leeren Speicherbereichs berechnet die Kapazität des leeren Bereichs des Pufferspeichers für codierte Daten, die dem Speicher 2 von der Schreibadresse zugeteilt werden, welche von der Schreibadressen-Generatoreinheit 174 für codierte Daten erzeugt wird und für codierte Daten, die dem Speicher 2 von der Leseadresse zugeteilt werden, welche von der Leseadressen-Generatoreinheit 175 erzeugt wird, und er gibt ein Datenanforderungssignal an den Eingangspufferspeicher 11 aus, wenn ein freier Bereich zum Speichern der codierten Daten besteht.

Die Leseadressen-Generatoreinheit 176 für bewegungskompensierte Bezugsbilddaten erzeugt Adreß- und Steuersignale zum sequentiellen Auslesen der Bezugsbilddaten, und sie steuert das Auslesen der Bezugsbilddaten aus dem Speicher 2. Der Bezugsbilddaten-Leseadresse wird gemäß dem von der Bewegungskompensationseinheit 15 gelieferten Bewegungsvektorwert ein Offset-Wert hinzugefügt. Die Art der auszulesenden Bezugsbilddaten hängt vom Codiertyp des Bildes während des Decodierens ab; doch mag kein Bedarf bestehen, die Daten zu lesen. Daher hängt die Anzahl der für das Lesen als Bezugsbildsignale benötigten Daten vom gegebenen Fall ab. Selbst während einer Periode, in der die Bezugsbilddaten ausgelesen werden können, kann daher das Auslesen der Bezugsbilddaten aus dem Speicher 2 auf halbem Wege enden. Die Schreibadressen-Generatoreinheit 177 für decodierte Bilddaten erzeugt Adreß- und Steuersignale zum sequentiellen Einschreiben von decodierten Bilddaten und steuert das Einschreiben der decodierten Bilddaten in den Speicher 2. Die Leseadressen-Generatoreinheit 178 für Displaybilddaten erzeugt Adreß- und Steuersignale zum sequentiellen Auslesen von Displaybilddaten (es gibt den Fall, daß OSD-Daten einbezogen sind), und steuert das Auslesen der Displaybilddaten aus dem Speicher 2. In diesem Falle wählt die Einheit 178 einen der drei Bildspeicher im Speicher 2 gemäß dem Codiertyp, der von der Einheit 2 zum Decodieren variabler Längen ausgegeben wird, und erzeugt eine dementsprechende Adresse.

Die Fig. 8, 9 und 10 zeigen ein Steuersystem des Speichers 2 zum Synchronisieren der Operationen für das Decodieren und der Operationen für das Display. Diese Speichersteuerung wird durch den Speichercontroller 17 auf der Basis eines Taktgabesteuersignals durchgeführt, das von der Taktgabeeinheit 18 aus dem Horizontal-Synchronisationssignal und dem Vertikal-Synchronisationssignal erzeugt wird.

Fig. 8 zeigt Diagramme zur Erläuterung des Ablaufs und der Taktgabe des Decodierprozesses und des Displayprozesses.

Fig. 8 (a) zeigt die Rahmenreihenfolge zu decodieren der codierten Daten, während Fig. 8 (a) die Rahmenreihenfolge der anzuzeigenden Displaybilddaten darstellt. Die Fig. 8 (b) bis 8 (d) zeigen Speicherbilder der drei Bildspeicher (im folgenden FM 1 bis FM 3 bezeichnet) im Speicher 2, wobei angenommen ist, daß jeder Bildspeicher aus zwei Halbbildspeichern besteht. Die von

(a) nach (b) bis (d) nach unten gerichteten Pfeile zeigen das Schreiben der decodierten Bilddaten an, und die von (b) nach (d) bis (a) nach oben gerichteten Pfeile zeigen das Lesen der Bezugsbilddaten an. Die von (b) nach (d) bis (e) nach unten gerichteten Pfeile zeigen das Lesen von Displaybilddaten an.

Gemäß der vorliegenden Erfindung werden die Operationen zum Decodieren so ausgeführt, daß die Operationen zum Decodieren codierter Daten jedes Bildes stets innerhalb der Halbbildperiode endet, und daß die Operationen zum Decodieren codierter Daten während der Operationen zum Decodieren jedes Bildes nur für die vorbestimmte Zeitdauer gestoppt wird. Die Taktgabediagramme können auf die Operationen zum Decodieren und auf die Operationen für das Display von codierten Daten zweier laufender Fernsehvideosignale der Systeme 525/60 und 625/50 angewandt werden.

Die decodierten Bilddaten werden in einen der Speicher FM 1 bis FM 3 geschrieben. Die decodierten Bilddaten des I-Rahmens oder des P-Rahmens, die so benutzt werden sollen, daß der P-Rahmen und der B-Rahmen vorausgesagt werden, werden abwechselnd in den Speicher FM 1 und FM 2 geschrieben. Die decodierten Bilddaten des B-Rahmens werden in den Speicher FM 3 geschrieben. Die in den Fig. 8 (b) bis 10 (d) dargestellten dicht gezeichneten Linien, die etwas breiter ausgeführt sind, zeigen die Schreibsituation der decodierten Bilddaten an.

Um die codierten Daten des P-Rahmens zu decodieren, werden die decodierten Bilddaten des vorhergehenden Bildes als Bezugsbilddaten aus FM 1 oder FM 2 ausgelesen. Die Wahl von FM 1 oder FM 2 zum Lesen der Bezugsbilddaten wird durch Wahl desjenigen Bildspeichers gesteuert, in welchem ein Bild gespeichert ist, das dem gerade auf einer Zeitbasis decodierten Bild benachbart ist. Als Bildspeicher; in dem die decodierten Bilddaten eingeschrieben werden, wird ein Bildspeicher gewählt, der sich von dem Bildspeicher unterscheidet, aus welchem die Bezugsbilddaten gelesen werden; und die decodierten Bilddaten werden darin eingeschrieben. Um die codierten Daten des B-Rahmens zu decodieren, werden die decodierten Bilddaten des vorhergehenden Bildes und des nachfolgenden Bildes als Bezugsbilddaten aus den Speichern FM 1 und FM 2 ausgelesen. Die in den Fig. 8 (b) bis 10 (d) dargestellten dünn schraffierten Linien, die breiter sind, zeigen das Lesen der Bezugsbilddaten an.

Wie in der Zeichnung dargestellt werden bei den Operationen zum Decodieren jedes Bildes die Operationen zum Decodieren der codierten Daten während einer vorbestimmten Zeitdauer gestoppt. Die Blöcke 13, 14 und 15 jeder der Operationen zum Decodieren umfassen ein Decodierstoppmittel zum Stoppen der Operationen zum Decodieren auf der Basis eines Taktgabesignals, das von der Taktgabeeinheit 18 empfangen wird.

Displaybilddaten können durch Lesen von decodierten Bilddaten eines Bildes erhalten werden, das während der Ein-Bildperiode in einem der Speicher FM 1 bis FM 3 in der Displayreihenfolge gespeichert ist. Die Bildperiode zum Decodieren und die Bildperiode für das Display sind gegeneinander um ein 0,5-Bild verschoben, d. h. um eine Halbbildperiode.

Das Lesen der Displaybilddaten des B-Rahmens für das Display wird um eine Halbbildperiode nach der Bildperiode begonnen, ab der sie decodiert wurden und seit mit ihrem Einschreiben in den Speicher FM 3 begonnen wurde. Beim I-Rahmen und beim P-Rahmen besteht weiter eine Verzögerung, die durch die Opera-



tionen für die Bildumordnung verursacht wird. In den Fig. 8 (b) und 8 (d) zeigt jede der dicken, durchgezogenen Linien die Situation des Lesens der Displaybilddaten. Die Wahl des Bildspeichers für die Displaybearbeitung wird durch Beobachten des Codiertyps des Rahmens während des Decodierens entschieden. Was den I-Rahmen und den P-Rahmen anbetrifft decken sie sich mit demjenigen Bildspeicher; aus dem die Bezugsbilddaten von FM 1 oder FM 2 ausgelesen werden, mit Ausnahme der Verzögerung um ein Halbbild. Der B-Rahmen deckt sich mit dem Speicher FM 3.

Wie in Fig. 8 durch die Bezeichnungen B2 und B3 dargestellt, werden wenn eine Vielzahl von B-Rahmen auftritt, die decodierten Bilddaten der B-Rahmen, welche durch Decodieren derselben erhalten werden, während der kontinuierlichen Bildperiode in den Speicher FM 3 eingeschrieben. Ehe die decodierten Bilddaten des vorhergehenden B2-Rahmens wieder eingeschrieben werden, weil neu decodierte Bilddaten des B3-Rahmens geschrieben werden, ist es daher erforderlich, die decodierten Bilddaten des B2-Rahmens darzustellen und auszulesen. Um dies durchzuführen, ist eine Verzögerung um eine Halbbildperiode zwischen dem Decodieren und Einschreiben des B-Rahmens und dem Display und Lesen desselben vorgesehen; und gleichzeitig ist die vorbestimmte Halteperiode zum Durchführen der Operationen zum Decodieren der codierten Daten vorgesehen. Die Anhalteperiode für die Operationen zum Decodieren ist nicht nur für den B-Rahmen vorgesehen, sondern auch für die I-Rahmen und P-Rahmen. Auf diese Weise wird die Taktgabe zum Decodieren gleichgroß gemacht, ohne Rücksicht auf den Bildcodiertyp, und das Schreiben der decodierten Bilddaten wird generalisiert, ohne Rücksicht auf den Codiertyp.

Fig. 9 ist eine vergrößerte Ansicht des in Fig. 1 in einer Ellipse eingeschlossenen Abschnittes und zeigt die Situation der Speichersteuerung von FM 3, wenn die B-Rahmen fortfahren; also eine Ansicht zur Erläuterung der Anhalteperiode bei den Operationen für das Decodieren. Die Form der in Fig. 9 kontinuierlich und schrittweise von oben links nach unten rechts dargestellten kleinen Rechtecke gibt die Situation des Decodierens von Schreibadressenänderungen wieder. Die Adressen des FM 3 sind in der Reihenfolge der Zeilensprung-Displayabtastung zugeteilt, etwa ausgehend von linken Pixeln zu rechten Pixeln, oberen Zeilen zu unteren Zeilen, und außerdem vom ersten Halbbild zum zweiten Halbbild. Daher werden die Schreibadressen für den Decodierschreibbefehl des in jedem Block im B-Rahmen nicht kontinuierlich vergrößert sondern halb ausgelassen. Für den Decodierschreibbefehl in einem Rahmen werden die Adressen graduell im ganzen vergrößert, obwohl die Schreibadressen abgebrochen sind.

Es sei angenommen, daß ein Satz aller Blöcke, die mit gleicher vertikaler Position horizontal in einem Rahmen aneinandergereiht sind, Blockzeile genannt wird; und daß Schreibadressen für den Decodierschreibbefehl und Leseadressen für den Displaylesebefehl in Blockspalten-einheiten umgewandelt werden. Dies ist einem Pixelsatz von 16 Zeilen äquivalent. Daher werden die Decodierschreibbefehlsadressen, nachdem die Blöcke sequentiell in jeder Blockzeile decodiert sind, mindestens innerhalb desjenigen Bereiches von Adressen positioniert, die jedem Pixel in der Blockzeile entsprechen. Es gibt nämlich Adressen für 16 Zeilen. Der Adressenbereich, der jeder Blockzeile entspricht, wird durch die in Fig. 9 dargestellten Rechtecke wiedergegeben. Die Höhe der Rechtecke gleicht der Hälfte der Anzahl der senkrechten Zeilen,

die die Blockzeilen im Rahmen bilden, d. h., im Adressenbereich, der der Anzahl der senkrechten Zeilen im Halbbild entspricht, also den Adressen für 8 Linien.

In Fig. 9 zeigt die dicke, von links oben nach rechts unten durchgezogene Linie das Auslesen von Displaybilddaten an.

In dem in der Zeichnung dargestellten Bereich wird der durch B2 angezeigte B-Rahmen gelesen. Zum Displaylesen in zwei Teilbildern werden in diesem B-Rahmen die Leseadressen kontinuierlich vergrößert. Während der vertikalen Austastperiode, die zwischen Halbbild und Halbbild besteht, wird der Displaylesebefehl zeitweilig angehalten. Die Neigung der dick ausgezogenen Linie, die eine Änderung der Displayleseadressen anzeigt, ist zweimal so groß wie die Neigung der Stufen der aneinandergereihten Rechtecke und zeigt eine Änderung der Decodierschreibadressen an.

Es ist erforderlich, den Displaylesebefehl zum sequentiellen Auslesen jedes Pixeldatums von B2 aus FM 3 durchzuführen, nachdem die decodierten Bilddaten der Pixel B2 in FM 3 durch Decodieren des Eingeschriebenen geschrieben werden, und ehe sie durch den Decodierschreibbefehl in FM 3 eingeschrieben werden und ehe sie durch den Decodierschreibbefehl von B3 erneut eingeschrieben werden, der der nächsten B-Rahmen ist. Es wird nämlich unterbunden, daß die Form der schrittweise miteinander verbundenen Rechtecke, die eine Änderung der Schreibadressen der decodierten Bilddaten anzeigen, die dicke durchgezogene Linie schneidet, die eine Änderung der Displayadressen der Displaybilddaten anzeigt. Zu diesem Zweck ist bei der vorliegenden Ausführungsform eine Verzögerung der Halbbildperiode zwischen den Decodierschreibbefehlen der B-Rahmen und den Displaylesebefehlen vorzusehen, und die vorbestimmte Anhalteperiode ist zum gleichzeitigen Durchführen des Decodierens der codierten Daten in jedem Rahmen vorgesehen. Der Decodierschreibbefehl des B2-Rahmens ist nämlich ausgeführt, ehe der Displaylesebefehl des ersten Halbbildes des B2-Rahmens endet, während der Displaylesebefehl des zweiten Halbbildes des B2-Rahmens beginnt, ehe der Decodierschreibbefehl des B3-Rahmens beginnt.

Die Länge der zwischen den Bildperioden vorgesehenen Halteperiode zum Decodieren jedes Bildes ist die Summe der Displayperioden aller Zeilen der untersten Blockzeile in jedem Halbbild, der senkrechten Austastperiode zwischen dem ersten Halbbild und dem zweiten Halbbild und der Displayperiode aller Zeilen der obersten Blockzeile im zweiten Halbbild. Beispielsweise gleicht im System 625/50 die vertikale Austastperiode zwischen dem ersten Halbbild und dem zweiten Halbbild der Displayperiode von etwa 25 Zeilen, so daß die Länge der Halteperiode der Operationen zum Decodieren diejenige Zeitdauer ist, die der Displayperiode von  $8 + 25 + 8 = 41$  Zeilen entspricht ist. Um die Halteperiode zu verkürzen und die Periode der Operationen zum Decodieren jedes Blockes so lange wie möglich beizubehalten, wird die Halteperiode auf die kleinste Länge gekürzt.

Gemäß dem oben angesprochenen Speichersteuersystem der vorliegenden Erfindung können die Operationen zum Decodieren sowie die Operationen für das Display von 3 Bildspeichern durchgeführt werden. Die Speicherkapazität eines im System 625/50 benötigten Bildes beträgt etwa 4.7 Mbits, so daß die gesamte Bildspeicherkapazität etwa 14 Mbits beträgt. Die Verzögerungszeit vom Beginn des Decodierens der codierten Daten bis zum Displaybeginn der Displaybilddaten



kann auf eine Periode von 1,5 Bildern eingestellt werden.

Fig. 10 ist eine Darstellung, die den Ablauf und die Taktgabe der Operationen zum Decodieren und der Operationen für das Display wiedergibt, wenn keine Bild-Interpolationcodierung verwendet wird. In diesem Beispiel wird nur ein einzelner Bildspeicher (FM 1 $\alpha$ ) benutzt. Die Größe desselben ist auf eine etwas größere Kapazität als die Kapazität für ein Vollbild eingestellt. Fig. 10 (a) zeigt die Bildreihenfolge der zu decodierenden codierten Daten, während Fig. 10 (c) die Bildreihenfolge der darzustellenden Displaybilddaten zeigt. Fig. 10 (b) zeigt die Situation des Speicherzugriffs von FM 1 $\alpha$ ; und zwei Halbbildspeicher; deren Größe um eine vorbestimmte Größe umfangreicher als diejenige eines Halbbildes ist, sind getrennt dargestellt. Die beiden Halbbildspeicher sind durch eine dick schraffierte Linie getrennt. Der nach unten von (a) nach (b) gerichtete Pfeil zeigt die Situation des Decodierschreibbefehls an, und der von (b) nach (a) aufwärts gerichtete Pfeil zeigt das Lesen der Bezugsbilddaten an, während der von (b) nach (c) abwärts gerichtete Pfeil das Lesen der Displaybilddaten anzeigt. Wenn in der Zeichnung decodierte Bilddaten in den Speicher FM 1 $\alpha$  eingeschrieben werden, wird die Schreibadresse zum Einschreiben in jeden Halbbildspeicher wie nachfolgend beschrieben entschieden. Das Offset eines Halbbildes wird für jede Bildperiode der Schreibadresse für jeden Halbbildspeicher hinzugefügt, und dann wird eine Modulo-Operation entsprechend der Kapazität jedes Halbbildspeichers durchgeführt, dessen Ausmaß um eine vorbestimmte Größe größer als die eines Halbbildes ist. Jeder Halbbildspeicher wird nämlich als Ringpuffer benutzt. Die in Fig. 10 (b) dargestellten dicht schraffierten Linien, die etwas breiter sind, zeigen die Schreibsituation der decodierten Bilddaten an.

Bei den codierten Inter-Bildblöcken im P-Rahmen werden die decodierten Bilddaten des vorhergehenden Bildes, das im FM 1 $\alpha$  gespeichert ist, als Bezugsbilddaten ausgelesen. In diesem Falle wird eine positive oder negative Versetzung der Leseadresse gemäß der Größe des Bewegungsvektors hinzugefügt. Die decodierten Bilddaten, die im vorhergehenden Rahmen decodiert eingeschrieben sind, werden bezugsorientiert ausgelesen (reference-rate). Daher wird von jedem Halbbildspeicher das gleiche Offset wie beim vorhergehenden Bild der Leseadresse hinzugefügt, und dann wird eine Modulo-Operation gemäß der Halbbildspeicherkapazität durchgeführt. In Fig. 10 (b) zeigen die dünn schraffierten Linien, die breiter sind, diese Situation an.

Der Displaylesebefehl der decodierten Bilddaten wird während jeder Bildperiode durch Lesen der decodierten Bilddaten aus jedem Bild durchgeführt, das im FM 1 $\alpha$  gespeichert ist. Auf gleiche Weise wie in Fig. 8 wird die Bildperiode zum Decodieren und die Bildperiode für das Display gegen einander um eine Halbbildperiode verschoben. Die decodierten Bilddaten, für die der Decodierschreibbefehl durch ein Halbbild vorher ausgelöst wird, werden displayorientiert ausgelesen (displayread), so daß vom Halbbildspeicher der Leseadresse die gleiche Versetzung wie die der Decodierschreibadresse hinzugefügt wird, und dann wird eine Modulo-Operation gemäß der Halbbildspeicherkapazität durchgeführt. In Fig. 10 (b) zeigen die dicken, durchgezogenen Linien die Situation dieses Display-Leseschlusses.

Die Kapazität jedes Halbbildspeichers ist um eine vorbestimmte Größe größer ausgebildet, als die eines Halbbildes, weil es erforderlich ist, das Lesen der Be-

zugsbilddaten des vorhergehenden Bildes und das Lesen der Displaybilddaten zu beenden, ehe die decodierten Bilddaten des Bildspeichers FM 1 $\alpha$  durch den Decodierschreibbefehl eines neuen Rahmens wieder eingeschrieben werden. Die Kapazität ist nämlich um eine Größe erweitert, die dem Maximum der Anzahl der vertikalen Zeilen entspricht, was der Bereich ist, um den der Block gemäß dem Bewegungsvektor im Halbbild verschoben wird, so daß die dicht schraffierten Linien, die eine Änderung der Decodierschreibadresse anzeigen, und die dünn schraffierten Linien, die eine Änderung der Bezugsleseadresse anzeigen, einander nicht schneiden. Bei einem Fernsehsignal des Systems 625/50 beispielsweise ist die Kapazität jedes Halbbildspeichers auf eine Kapazität eingestellt, die beim Helligkeitssignal um 64 Zeilen größer ist als die eines Halbbildes ist, wobei die Gesamtkapazität den Bildspeicher etwa 5,8 MBits beträgt ( $M \text{ Bits} = 1024 \times 1024 \text{ Bits}$ ). Zwischen dem Bildperioden ist zum Decodieren jedes Bildes eine Halteperiode vorgesehen, wobei die Länge der Halteperiode die gleiche wie die in Fig. 8 gezeigte ist.

Wie oben erwähnt kann die im Beispiel der Fig. 8 dargestellte Vorrichtung aus einem Bildspeicher bestehen, dessen Größe etwas größer als die eines Bildes ist. Die Verzögerungszeit zwischen dem Beginn des Decodierens der codierten Daten beläuft sich auf eine 0,5-Bildperiode, so daß die Bildspeicherkapazität reduziert und gleichzeitig die Verzögerungszeit ab Beginn des Decodierens um ein einzelnes Bild verkürzt werden kann, d. h. auf 0,5 Bilder. Wie oben erwähnt, dient das vorliegende Speichersteuersystem zur wirksamen Durchführung des Decodierens und Anzeigens decodierter Daten mit einer kleinen Anzahl von Speichern und einer kurzen Verzögerungszeit durch das Codiersystem wirkungsvoll, bei dem die Nichtbenutzung des B-Rahmens spezifiziert ist.

Wenn der Speicher eine Kapazität von 16 MBits aufweist, und wenn die codierten Daten weiter eine Information über die Art der codierten Daten in Form einer multiplexierten Flag umfassen, ist es möglich, das in Fig. 8 dargestellte Speichersteuersystem sowie das in Fig. 10 dargestellte Speichersteuersystem durch diese Flag automatisch zu schalten. Durch Verwenden dieses Systems kann eine Vorrichtung für die Bilddecodierung mit einem Zweizeige-Kommunikationssystem zusammenwirken, bei dem eine kurze Verzögerungszeit wesentlich ist und nur I und P codiert werden, beide von einem Rundfunkempfangssystem und einem Wiedergabesystem für aufzeichnende Medien, in welchem eine hohe Bildqualität erwünscht ist und I, P und B sämtlich codiert sind.

Fig. 11 ist ein Diagramm, daß das Steuersystem des Speichers 2 zum Durchführen der Operation für das Synchronisieren der Operationen des Decodierens und der Operationen des Displays während der Bildperiode durchgeführt werden; und weiter ist Fig. 11 ein Diagramm zur Erläuterung eines Beispiels des Systems 525/60. In diesem Beispiel erfolgt bei den Operationen zum Decodieren und den Operationen für das Display der Zugriff zum Speicher 2 durch den festen Zeitschlitz, der auf der Basis eines Horizontal-Synchronisationssignals und eines Vertikal-Synchronisationssignals bestimmt wird.

Beim System 525/30 beträgt die Bildfrequenz 30 Hz, während die Abtastfrequenz des Helligkeitssignals 13,5 MHz beträgt. Ein Bild besteht insgesamt aus 525 Zeilen, und das erste Halbbild besteht aus 262 Zeilen, während das zweite Halbbild aus 263 Zeilen besteht.

Wenn beispielsweise ein Takt von 65,25 MHz als Speichertakt benutzt wird, erstreckt sich die Einzeilenperiode über eine Zeit von  $858 \times 29/6 = 4147$  Takte. Die Einzeilenperiode wird in drei Makroblock-Zeitschlitzze von jeweils 1380 Takten aufgeteilt, wobei die verbleibenden sieben Takte Dummy- bzw. Blindschlitzze sind. Während der Blindschlitzze wird der Datenzugriff zum Speicher 2 angehalten.

Eine Anzahl von 1458 Zeitschlitzzen, die der 93-ten Zeile bis zur 524-ten Zeile und der 0-ten Zeile bis zur 253-ten Zeile zugeteilt sind, werden zum Decodieren der codierten Daten eines Bildes verwendet. Von der 285-ten Zeile bis zur 524-ten Zeile werden die Bilddaten im zweiten Halbbild des Bildes, das bereits decodiert ist, als Display wiedergegeben, und von der 22-ten Zeile bis zur 261-ten Zeile werden die Bilddaten des ersten Halbbildes des Bildes, das gerade decodiert wird, im Display angezeigt. In jedem Makroblock-Zeitschlitz werden verschiedene Datenzugriffe zum Speicher 2, die sich auf die Operationen zum Decodieren eines Makroblokes und zum Auslesen der im Display darzustellenden decodierten Bilddaten aus dem Speicher 2 beziehen, auf Zeitmultiplexbasis durchgeführt. Die Prozedur zum Decodieren der codierten Daten eines Makroblokes wird auch gemäß den Makroblock-Zeitschlitzzen durchgeführt.

Der Makroblock ist ein Satz von Bilddaten in einem Bereich von 16 Pixeln  $\times$  16 Zeilen für ein Helligkeitssignal, oder von 8 Pixeln  $\times$  8 Zeilen für zwei Farbsignale. Die Blockgröße beträgt  $8 \times 8$  Pixel und besteht aus vier Blöcken für das Helligkeitssignal oder einem einzelnen Block für jeweils zwei Arten von Farbsignalen. Daher besteht ein Makroblock insgesamt aus sechs Blöcken. Ein Vollbild besteht aus 720 Pixeln  $\times$  480 Zeilen, so daß ein Vollbild aus  $(720/16) \times (480/16) = 1350$  Makroblöcken besteht. Um codierte Daten eines Vollbildes bzw. Bildes zu decodieren, werden einer Bildperiode 1458 Zeitschlitzze zugeteilt, so daß wenn die Operationen zum Decodieren eines Makroblokes im wesentlichen in jedem Zeitschlitz durchgeführt wird, die Operationen zum Decodieren eines Bildes während einer Bildperiode durchgeführt werden können.

Wie in Fig. 11 dargestellt sind in jedem Makroblockzeitschlitz in Bezug auf den für die Operationen des Decodierens und des Display erforderlichen Speicherzugriff drei Arten von Zeitschlitzzen zum Auslesen (a) des Displaybilddatenlesebefehls (b) des Bezugsbilddatenlesebefehls und (c) der Lesebefehls für codierte Daten aus dem Speicher 2 vorgesehen. Als nächstes ist ein Zeitschlitz für (d) die Speicherauffrischung vorgesehen. Beim Speicher 2, der aus einer dynamischen Speichervorrichtung (DRAM) besteht, ist eine zyklische Auffrischung erforderlich, so daß beim (d) Speicherauffrischungsbefehl ein Blindlesen des Speichers 2 durch sequentielle Vergrößerung der Adresse durchgeführt wird. Weiter sind zwei Arten von Perioden zum Einschreiben in den Speicher 2 vorgesehen, nämlich für den (e) Schreibbefehl für codierte Daten und den (f) Schreibbefehl für decodierte Bilddaten.

Obwohl in der Zeichnung nicht dargestellt, sind darüberhinaus im Falle, daß die Vorrichtung eine OSD-Funktion aufweist, zusätzlich ein (g) OSD-Datenlesebefehl und ein (h) OSD-Datenschreibbefehl vorgesehen.

In der in Fig. 1 dargestellten Decodierschaltung 1 schreibt der Eingangspufferspeicher 11 während der Schlitzperiode des (e) Schreibbefehls codierte Daten aus dem internen FIFO-Speicher in den Speicher 2. Der Pufferspeicher 12 für decodierte Daten liest während

der Schlitzperiode des (c) Lesebefehls für codierte Daten codierte Daten aus dem Speicher 2 aus und schreibt sie in den internen FIFO-Speicher. Die Bewegungskompensationseinheit 15 liest während der Schlitzperiode Bezugsbilddaten eines einzelnen Makroblokes aus dem Speicher 2 aus und schreibt sie in den internen Bezugsbildspeicher; und er schreibt während der Schlitzperiode des Bilddatenbefehls aus dem internen Speicher für decodierte Bilder decodierte Bilddaten in den Speicher 2 ein. Weiter liest die Displayeinheit 16 während der Schlitzperiode des (a) Lesebefehls für Displaybilddaten aus dem Speicher 2 Displaybilddaten aus und schreibt sie in den internen Zeilenspeicher.

Fig. 12 ist ein Diagramm zur Erläuterung des Speichersystems entsprechend einem Fernsehsignal des System 625/50. Sie entspricht der Fig. 11, die den Fall des Systems 525/60 darstellt.

Im System 625/50 beträgt die Bildfrequenz 25 Bilder/Sekunde, und die Abtastfrequenz des Helligkeitssignals beträgt 13,5 MHz. Der Speichertakt wird aus dieser Abtastfrequenz erzeugt und ist derselbe wie der im System 525/60. Ein Bild besteht aus 625 Zeilen, und das erste Halbbild eines Bildes besteht aus 312 Zeilen, während das zweite Halbbild aus 313 Zeilen besteht.

Die Online-Periode erstreckt sich über eine Dauer von  $864 \times 29/6 = 4176$  Takten, und die Online-Periode ist in drei Zeitschlitzze zu je 1380 Takten aufgeteilt, während die verbleibenden 36 Takte Blindschlitzze sind. Die gewählte Anzahl der Takte während der Online-Periode ist die gleiche wie die im System 525/60, um Gemeinsame beim Decodieren und des Display zu hervorzuheben, wobei ein Unterschied zwischen den beiden Systemen durch die Anzahl der Takte der Blindschlitzze absorbiert wird. Während der Blindschlitzperiode wird der Datenzugriff auf den Speicher 2 angehalten.

Eine Gesamtzahl von 1752 Makroblock-Zeitschlitzzen, die der 345-ten Zeile bis 624-ten Zeile, und der 0-ten Zeile bis 303-ten Zeile zugeordnet sind, wird zum Decodieren der codierten Daten eines Bildes verwendet. Von der 337-ten Zeile bis zur 624-ten Zeile werden die Bilddaten des zweiten Halbbildes des Bildes, das bereits decodiert ist, im Display wiedergegeben, und von der 24-ten Zeile bis zur 311-ten Zeile werden die Bilddaten des ersten Halbbildes des Bildes, das gerade decodiert ist, wiedergegeben. In jedem Makroblock-Zeitschlitz werden verschiedene Datenzugriffe auf den Speicher 2, die sich auf die Operationen zum Decodieren eines Makroblokes und zum Auslesen der anzuzeigenden decodierten Bilddaten aus dem Speicher 2 beziehen, auf Zeitmultiplexbasis durchgeführt. Die Operationen zum Decodieren eines Makroblokes wird auch gemäß den Makroblock-Zeitschlitzzen durchgeführt.

Ein Bild besteht aus 720 Pixeln  $\times$  576 Zeilen, so daß ein einzelnes Bild aus  $(720/16) \times (576/16) = 1620$  Makroblöcken besteht. Um codierte Daten eines Bildes zu decodieren, sind 1752 Zeitschlitzze einem Halbbild zugeteilt, so daß wenn die Operationen zum Decodieren eines Makroblokes im wesentlichen in jedem Zeitschlitz durchgeführt werden, die Operationen des Decodierens eines Bildes während einer einzelnen Bildperiode abgewickelt werden können.

In jedem Makroblock-Zeitschlitz ist in gleicher Weise wie bei dem in Fig. 11 dargestellten System 525/60 eine Vielzahl von Arten von Zeitschlitzzen vorgesehen, nämlich ein (a) Displaybilddaten-Lesebefehl; ein (b) Bezugsbilddaten-Lesebefehl; ein (c) Lesebefehl für codierte Daten; ein (d) Speicherauffrischungsbefehl; ein (e) Schreibbefehl für codierte Daten; und ein (f) Schreibbefehl für

decodierte Bilddaten. Die übrigen Zeitschlitzte nach Ende der genannten Operationen bilden einen Marginalbereich, und der Speicherzugriff wird im wesentlichen angehalten.

Bei den Fig. 11 und 12 werden die Zeitschlitzte für die Operationen zum Decodieren und die Operationen für das Display eines Makroblocks entsprechend zugeteilt. Zeitschlitzte können aber auch beispielsweise in einer kleineren Einheit, wie etwa einer Zweiblockeinheit zugeteilt werden. In diesem Falle wird die Schaltfrequenz des Speicherzugriffprozesses erhöht, so daß die Operationen der Taktgabereinheit und des Speichercontrollers etwas komplizierter werden. Jedoch kann die Größe eines Arbeitsspeichers, der für jeden Schaltvorgang zum Durchführen des Decodierens und des Displays erforderlich ist, gegenüber dem Wert, der einem Makroblock entspricht, auf den Wert entsprechend zweier Blöcke reduziert werden.

Fig. 13 zeigt ein Beispiel für den Aufbau des Speichers 2, der von der Decodiereinheit 1 her einen leistungsfähigen Zugriff auf den Speicher 2 ermöglicht. Es bezeichnen die Bezugszeichen: 21 einen Bankwähler; 22 einen Reihenadressenpuffer; 231 einen Spaltenadressenpuffer; 232 einen Reihenadressenzähler; 241 und 242 Reihenadressendecoder; 251 und 252 Spaltenadressendecoder; 261 und 262 Leseverstärker und E/A-Busse; 271 und 272 Speicherfelder; 281 einen Eingangsdatenpuffer; und 282 einen Ausgangsdatenpuffer.

Der Speicher 2 umfaßt zwei Speicherfelder; und jedes Speicherfeld umfaßt Adressensteuerschaltungen, wie etwa einen Reihenadressendecoder und einen Spaltenadressendecoder.

Ein Adreß- und ein Steuersignal werden an den Bankwähler 21, den Reihenadressenpuffer 22 und den Spaltenadressenpuffer 231 angelegt. Der Bankwähler 21 bestimmt die Bank, für die die Adresse wirksam ist, und steuert die Reihenadressendecoder 241 und 242 sowie den Spaltenadressenpuffer 231. Wenn die Adresse eine Reihenadresse ist, liefert sie der Bankwähler 21 über den Reihenadressenpuffer 22 an die Reihenadressendecoder 241 und 242, und er aktiviert das der spezifizierten Reihe des Speicherfeldes 271 oder des Speicherfeldes 272 entsprechende Speicherfeld gemäß dem Decodierungsergebnis des Reihenadressendecoders 241 für das Speicherfeld 271 (im folgenden als Bank 0 bezeichnet) oder des Reihenadressendecoders 242 für das Speicherfeld 272 (im folgenden als Bank 1 bezeichnet). Wenn die Adresse eine Spaltenadresse ist, hält sie der Bankwähler 21 im Spaltenadressenpuffer 231 ein mal fest und regeneriert auf der Basis des gehaltenen Wertes eine Spaltenadresse durch den Spaltenadressenzähler 232. Auf diese Weise kann automatisch eine Spaltenadresse in derselben Reihe erzeugt werden, ohne daß sie kontinuierlich zugeführt wird. Die Spaltenadresse wird nach dem Regenerieren durch den Spaltenadressendecoder 251 oder durch den Spaltenadressendecoder 252 decodiert. Wenn sich der Speicher im Schreibmodus befindet, schreibt der Bankwähler 21 auszugebende Daten in die spezifizierte Adresse des Speicherfeldes 271 oder 272, und zwar über den Eingangsdatenpuffer 281 und den Leseverstärker und den E/A-Bus 261 oder 262. Wenn sich der Speicher im Lesemodus befindet, liest der Bankwähler 21 die Daten in die spezifizierte Adresse der Speicherfelder 271 oder 272 ein, und zwar über den Leseverstärker und den E/A-Bus 261 oder 262, und er gibt sie über den Ausgangsdatenpuffer 282 aus.

Fig. 14 ist ein Diagramm, das eine Abbildung der Datenanordnung des Speichers 2 darstellt. Die in der

Zeichnung angegebenen Bezugszeichen entsprechen denen des Systems 525/60; und es wird das Beispiel eines Falles dargestellt, bei dem die Bilddaten eines Vollbildes aus 720 horizontalen Pixeln und 480 vertikalen Zeilen bestehen. Die Speicherfelder 271 und 272 der Bank 0 und der Bank 1 sind in drei Bildspeichern abgebildet, die jeweils aus 507 Reihen einschließlich der 528 Reihen im Pufferbereich für codierte Daten bestehen.

Fig. 15 ist ein Diagramm, das den Aufbau der verschiedenen Adressengeneratoreinheiten, beginnend bei der Schreibadressen-Generatoreinheit 174 für codierte Daten bis zur Leseadressen-Generatoreinheit 178 für Displaybilddaten im Speichercontroller 17 reichen; wobei der Aufbau eine Bank Ansteuer- bzw. Bankschalt-Steuerfunktion in Übereinstimmung mit den in Fig. 13 dargestellten Speicher 2 aufweist. In der Leseadressen-Generatoreinheit 176 die bewegungskompensierten Bezugsbilddaten ist der Abschnitt, in welchem die Versetzungswerte der Reihen- und Spaltenadressen durch den Bewegungsvektor angegeben werden, nicht dargestellt. In Fig. 15 bezeichnet: 71 eine Reihenadressen-Generatorschaltung; 72 eine Spaltenadressen-Generatorschaltung; 73 einen Multiplexer; 74 einen Bankwähler; und 75 einen Taktgabebefehl.

Die Reihenadressen-Generatorschaltung 71 erzeugt eine Reihenadresse des Speichers 2, und die Spaltenadressen-Generatorschaltung 72 erzeugt ebenfalls eine Spaltenadresse des Speichers 2. Die Reihen- und Spaltenadressen werden durch den Multiplexer 73 multiplexiert und an den Adressenbus ausgegeben. Der Bankwähler 74 erzeugt ein Bankwählsignal (Bank<sub>sel</sub>) des Speichers 2, und der Taktgabebefehl steuert die Operationen der Reihen- und Spaltenadressen-Generatorschaltungen 71 und 72. Der Bankwähler 74 erzeugt ebenfalls ein Steuersignal, wie etwa ein Schreibfreigabe-Taktgabesignal (WE).

Fig. 16 (a) ist ein Diagramm, das die Steuertaktgabe des Speichercontrollers 17 für den Speicher 12 darstellt. Die Abschnitte T0, T1, T3, ... sind feiner detaillierte Operationstaktgaben eines einzelnen Zeitschlitzes (nachfolgend wird ein Abschnitt von T0, T1, T2, ... als Bankzugangsschlitz bezeichnet) entsprechend einer Operation für das Decodieren und das Display, dargestellt in den Fig. 11 und 12. Die Speichersteuerung, wie etwa der (a) Displaybilddaten-Lesebefehl; der (b) Bezugsbilddaten-Lesebefehl; (c) der Lesebefehl für codierte Daten; (d) der Speicherauffrischungsbefehl; (e) der Schreibbefehl für codierte Daten; und (f) der Schreibbefehl für decodierte Bilddaten, alle dargestellt in den Fig. 11 und 12, bewirkt den wechselnden Schreib- oder Lesezugriff auf die Bank 0 und die Bank 1 in den Einheiten dieses Bankzugangsschlitzes. Im gleichen Bankzugangsschlitz wird nämlich die Reihenadresse nicht geändert. Die Reihenadresse wird während der vorhergehenden Periode eines Bankzugangsschlitzes geändert, wenn auf eine andere Bank zugegriffen wird. Auf diese Weise wird die den Wechsel der Reihenadresse begleitende Warteperiode ersichtlich überflüssig, so daß die wirksame Speicherbandbreite verbessert wird. Die Bankzugangsschlitzte bei den Prozessen (a) bis (f) können eine unterschiedliche Länge aufweisen.

Die Speichersteueroperation für das abwechselnde Zugreifen auf verschiedene Banken wird sogar mit einem Abschnitt durchgeführt, der sich über unterschiedliche Operationszeiten erstreckt, wie etwa vom (a) Displaybilddaten-Lesebefehl bis zum (b) Bezugsbilddaten-Lesebefehl; vom (b) Bezugsbilddaten-Lesebefehl bis zum (c) Lesebefehl für codierte Daten; und weiter vom

(e) Schreibbefehl für codierte Daten bis zum (f) Schreibbefehl für codierte Bilddaten, oder vom (f) Schreibbefehl für decodierte Bilddaten bis zum (a) Lesebefehl für Displaybilddaten. Es ist daher erforderlich, die Anordnung der codierten Daten sowie die decodierten Bilddaten im Speicher so anzusteuern bzw. zu wählen, daß der Zugang zum Speicher 2 in jedem Prozeß bei der Bank 0 beginnt und bei der Bank 1 endet, oder umgekehrt.

Was den (c) Lesebefehl für codierte Daten, und den (e) Schreibbefehl für codierte Daten anbelangt, enthält eine einzelne Reihe der Bank 0 und der Bank 1 im Speicher 2 insgesamt 256 Spaltenadressen, und es ist erforderlich, das Ändern der Reihenadresse im Bankzugangsschlitz zu verhindern, so daß die Länge der Bankzugangsschlitzperiode auf 8 Wörter (8 Spaltenadressen) eingestellt ist. Jeder Zeitschlitz des (c) Lesebefehls für codierte Daten, und des (e) Schreibbefehls für codierte Daten kann den Zugriff von der Bank 0 einleiten und den Zugriff an der Bank 1 beenden, wenn die Bankzugangsschlitzgeradzahlig sind. Daher vergewissert sich die Vorrichtung, wenn codierte Daten aus dem Eingangspufferspeicher 11 in den Speicher 2 eingeschrieben werden, daß im Eingangspufferspeicher 1 codierte Daten von mindestens 16 Wörtern bestehen. Wenn codierte Daten aus dem Speicher 2 ausgelesen und in den Pufferspeicher 12 für decodierte Daten eingeschrieben werden, vergewissert sich die Vorrichtung im voraus, daß im Pufferspeicher 12 für decodierte Daten ein freier Bereich von mindestens 16 Wörtern besteht.

Fig. 17 ist ein Diagramm, das die Situation der Blockaufteilung eines Ein-Rahmenbildes zeigt. Bei diesem Beispiel ist angenommen, daß das Helligkeitssignal in einem Bild aus 720 Pixeln  $\times$  480 Zeilen, und das Farbsignal (in der Zeichnung durch Cb oder Cr ausgedrückt) eine Pixeldichte aufweist, die die Hälfte des Helligkeitssignals (in der Zeichnung durch Y ausgedrückt) in der horizontalen und in der vertikalen Richtung ausmacht. Wie in der Zeichnung dargestellt, ist der Makroblock als ein Satz bestehend aus 6 Blöcken definiert, wobei die Blöcke der Helligkeitssignale mit den Blöcken der Farbsignale flächenmäßig fast übereinstimmen. Unter Benutzung dieses Makroblockes besteht das Ein-Rahmenbild aus 45 Makroblocken in horizontaler Richtung, und aus 30 Makroblocken in vertikaler Richtung, also aus insgesamt aus  $45 \times 30 = 1350$  Makroblocken.

Fig. 18 ist ein Diagramm, das die Abbildung (mapping) der Bilddaten in Einheiten des vorerwähnten Makroblockes im Bildspeicherbereich des Speichers 2 darstellt. Wie in der Zeichnung dargestellt, werden die Bilddaten eines einzelnen Makroblockes in Übereinstimmung mit der Position einer einzelnen Reihenadresse der einzelnen Bank gespeichert, wenn die Bildsignale und die Farbsignale in verschiedenen Banken abgebildet sind. Weiter werden die Bilddaten, die dem Makroblock entsprechen, der der horizontalen Position auf dem Bild benachbart ist, in einer anderen Bank gespeichert.

Auf der Basis der vorerwähnten Anordnung kann bezüglich des Speicherzugriffs des (f) Schreibbefehls für decodierte Bilder auf die Bank 0 und die Bank 1 stets abwechselnd zugegriffen werden, wenn ein Bankzugangsschlitz zu den Bilddaten des Helligkeitssignals im Makroblock und ein Bankzugangsschlitz zu den Bilddaten des Farbsignals im Makroblock gehört; und die decodierten Bilddaten werden bei einem geradzahigen Makroblock in der Reihenfolge: Helligkeitssignal zuerst und Farbsignal als nächstes, eingeschrieben; und bei einem ungeradzahigen Makroblock werden die Bilddaten

in der Reihenfolge: Farbsignal zuerst und Helligkeitssignal als nächstes, eingeschrieben.

Fig. 19 ist ein Diagramm, das die bestehende Position der auszulesenden Bezugsbilddaten durch den (b) Bezugsbilddaten-Lesebefehl gemäß dem Makroblock darstellt. Der Bereich der auszulesenden Bezugsbilddaten erstreckt sich allgemein über vier Makroböcke, wie in der Zeichnung dargestellt. In Anbetracht der Tatsache, daß sich die Banken, in denen die Bilddaten des Helligkeitssignals und die Bilddaten des Farbsignals gespeichert werden, voneinander in Bezug auf die Makroböcke unterscheiden, und daß sich die Banken für die benachbarten Makroböcke ebenfalls voneinander unterscheiden, kann auf die Banken alternativ zugegriffen werden.

Auf der Basis des in Fig. 18 dargestellten Beispiels für die Bilddatenabbildung wird nämlich entschieden, ob die Makroblockzahl oben links, der in Fig. 19 eine Zahl i zugewiesen ist, ungeradzahlig oder geradzahlig ist; und es wird die Bank, in der die Bilddaten des Helligkeitssignals des Makroblockes e gespeichert werden, überprüft. Die Bilddaten des Farbsignals für den gleichen Makroblock werden in einer anderen Bank als der für das Helligkeitssignal gespeichert. Wenn i beispielsweise geradzahlig ist, wird das Helligkeitssignal des Makroblockes in der Bank 0 gespeichert, während das Farbsignal in der Bank 1 gespeichert wird. Wenn die Bilddaten als Bezugsbilddaten in der Reihenfolge: Helligkeitssignal des Makroblockes i  $\rightarrow$  Farbsignal des Makroblockes i  $\rightarrow$  Farbsignal des Makroblockes i + 1  $\rightarrow$  Helligkeitssignal des Makroblockes i + 1  $\rightarrow$  Helligkeitssignal des Makroblockes i + 46  $\rightarrow$  Farbsignal des Makroblockes i + 45  $\rightarrow$  Helligkeitssignal des Makroblockes i + 45 ausgelesen werden, oder wenn sie in der Reihenfolge: Helligkeitssignal des Makroblockes i  $\rightarrow$  Helligkeitssignal des Makroblockes i + 1  $\rightarrow$  Helligkeitssignal des Makroblockes i + 46  $\rightarrow$  Helligkeitssignal des Makroblockes i + 45  $\rightarrow$  Farbsignal des Makroblockes i + 45  $\rightarrow$  Farbsignal des Makroblockes i + 46  $\rightarrow$  Farbsignal des Makroblockes i + 1  $\rightarrow$  Farbsignal des Makroblockes i ausgelesen werden, ist es möglich, den Zugang von der Bank 0 zu beginnen und den Zugang an der Bank 1 zu beenden.

Selbst für den (a) Displaybilddaten-Lesebefehl ist es möglich, wechselweise auf die Bank 0 und die Bank 1 zuzugreifen, und zwar aufgrund der Tatsache daß es erforderlich ist, die Helligkeitssignale und die Farbsignale zusammen darzustellen, nämlich durch Zugreifen in der Reihenfolge Helligkeitssignal und dann Farbsignal bei jedem geradzahigen Makroblock, und in der Reihenfolge Farbsignal und dann Helligkeitssignal bei jedem ungeradzahigen Makroblock.

Bei dem oben erwähnten Speichersteuersystem werden als Zeitschlitz für den (a) Anzeigebilddaten-Lesebefehl, den (b) Bezugsbilddaten-Lesebefehl, den (c) Lesebefehl für codierte Daten, den (e) Schreibbefehl für codierte Daten, und den (f) Schreibbefehl für decodierte Bilddaten feste Zeitschlitz zugeteilt, unabhängig vom Inhalt der codierten Daten. Jeder Zeitschlitz gibt wechselweise Zugang zur Bank 0 und zur Bank 1, und ein bestimmter Zeitschlitz kann eine Zugangsoperation zum vorbestimmten Zeitpunkt durchführen, ohne Rücksicht auf die Operation des gerade vorherigen Zeitschlitzes. Auf diese Weise kann die Schiedsfunktion zum Entscheiden über das Datenbus-Zugriffsrecht zwischen der Schreibadressen-Generatoreinheit 174 für codierte Daten, der Leseadressen-Generatoreinheit 175 für codierte Daten, der Leseadressen-Generatoreinheit 176 für bewegungskompensierte Bezugsbilddaten, der

Schreibadressen-Generatoreinheit 177 für decodierte Bilddaten und der Leseadressen-Generatoreinheit 178 für Displaybilddaten vermieden werden, und jede Schaltung kann erheblich vereinfacht werden.

Bei der Erläuterung der Ausführungsformen der vorliegenden Erfindung wird die Entsprechung der codierten Daten, die in Rahmen bzw. Bildeinheiten codiert sind, durch Kombinieren der Intra-Bildcodierung, der Inter-Bildcodierung unter Benutzung der Bewegungskompensation und der Bild-Interpolationscodierung verwendet. Doch kann die vorliegende Erfindung auch bei codierten Daten angewandt werden, die beispielsweise nur durch Intra-Bildcodierung codiert werden. Daten können nicht nur in Bildeinheiten codiert werden, sondern auch in Halbbildeinheiten; und selbst dann, wenn die beiden codierten Daten gleichzeitig bestehen, kann die vorliegende Erfindung angewandt werden. Darüberhinaus kann als Codiersystem anstelle des Systems, das die bei den Ausführungsformen beschriebene DCT anwendet, für die Verarbeitung in Blockeinheiten der vorbestimmten Größe ein anderes System benutzt werden, beispielsweise ein System, daß die Vektorquantisierung anwendet.

Was die in die Vorrichtung zur Bilddecodierung eingegebenen codierten Daten anbetrifft, kann sie nicht nur den Fall, daß codierte Daten kontinuierlich mit einer fixierten Bitrate eingegeben werden, sondern auch den Fall berücksichtigen, bei dem die codierten Daten mit variabler Bitrate oder aber als Bündel bzw. Burst eingegeben werden. In jedem dieser Fälle kann die vorliegende Erfindung angewandt werden.

Natürlich kann die vorliegende Erfindung auch bei einer Vorrichtung zum Decodieren digitaler Videosignale entsprechend dem HDTV angewandt werden, das sich hinsichtlich der Auflösung vom üblichen Fernsehverfahren unterscheidet. Die Bilddecodiervorrichtung kann auch zum Schalten der Verarbeitung gemäß einer Vielzahl von Videosignalen des üblichen Fernsehsystems 525/60, des üblichen Fernsehsystems 625/50 und des HDTV-Systems verwendet werden. Weiter kann die vorliegende Erfindung auch bei einer Bilddecodiervorrichtung verwendet werden, die nicht nur die Displayausgabe der Zeilensprungabtastung, sondern auch die Displayausgabe der sequentiellen Abtastung ermöglicht.

Was die Bilddecodiervorrichtung anbetrifft, kann im Falle, daß sie so aufgebaut ist, daß sie sowohl das Codieren als auch das Decodieren sowie das Display und die Ausgabe decodierter Bilddaten ausführt, die Erfindung auch in einer Bilddecodierschaltung angewandt werden, die in die Bilddecodiervorrichtung einbezogen ist.

#### Patentansprüche

1. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals, komprimiert durch eine Intra-Bildcodierung, die mit demselben Bild endet; eine Inter-Bildcodierung, die sich auf das vorhergehende Bild bezieht; und eine Rahmen-Interpolationscodierung, die sich auf das vorhergehende Bild und das nachfolgende Bild bezieht, in Bildeinheiten, bestehend aus zwei Halbbildern in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln des Bildes; Speichervorrichtungen zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten

Bilddaten, die in den Speichervorrichtungen in Halbbildeinheiten gespeichert sind; und Erhalten von Zeilensprung-Displaybilddaten; wobei die kleinste Verzögerungszeit vom Beginn des Decodierens der decodierten Daten eines Bildes bis zum Beginn des Display 1.5 Bilder umfaßt, wenn die Bilder durch Intra-Bildcodierung oder durch Inter-Bildcodierung codiert sind; und wobei sie 0.5 Bilder umfaßt, wenn die Bilder durch Bild-Interpolationscodierung codiert sind.

2. Vorrichtung zum Decodieren von Bildern nach Anspruch 1, bei dem die Speichervorrichtungen zwei Bildspeicher zum Speichern decodierter Bilddaten umfassen, die durch Decodieren von Daten erhalten werden, die durch Intra-Bildcodierung oder durch Inter-Bildcodierung codiert sind; und wobei die Speichervorrichtungen einen Pufferspeicher zum Speichern decodierter Bilddaten umfassen, die durch Decodieren von Daten erhalten werden, die durch Bild-Interpolationscodierung codiert sind.

3. Vorrichtung zum Decodieren von Bildern nach Anspruch 1, wobei die Vorrichtung codierte Daten eines Videosignals mit einer Bildfrequenz von 30 Hz und 525 Abtastzeilen, und codierte Daten eines Videosignals mit einer Bildfrequenz von 25 Hz und 625 Abtastzeilen decodiert, und wobei die Speichervorrichtung einen Pufferspeicher zum zeitweiligen Speichern codierter Daten vor dem Decodieren derselben umfaßt, und wobei der Speicher eine Speicherkapazität von höchstens 16, 777 oder 216 Bits aufweist.

4. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals, komprimiert durch eine Intra-Bildcodierung, die mit demselben Bild endet, und einer Inter-Bildcodierung, die auf das vorhergehende Bild Bezug nimmt, in Bildeinheiten, bestehend aus zwei Halbbildern in Blockeinheiten, die aus einer Vielzahl von Pixeln im Bilde bestehen; Speichervorrichtungen zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Halbbildeinheiten gespeichert sind, und erhalten von Zeilensprung-Anzeigebilddaten; wobei die geringste Verzögerungszeit vom Beginn des Decodierens der codierten Daten eines Bildes bis zum Beginn des Displays 0.5 Bilder beträgt.

5. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren zweier Arten von codierten Daten; die ersten codierten Daten eines datenkomprimierten Videosignals, komprimiert durch: eine Intra-Bildcodierung, die mit demselben Bild endet; eine Inter-Bildcodierung, die sich auf das vorhergehende Bild bezieht; und einer Bild-Interpolationscodierung, die sich auf das vorhergehende Bild und das nachfolgende Bild bezieht; und die zweiten codierten Daten des datenkomprimierten Videosignals, komprimiert durch eine Intra-Bildcodierung, die mit demselben Bild endet, und eine Inter-Bildcodierung, die sich auf das vorhergehende Bild bezieht, in Bildeinheiten, die aus zwei Halbbildern in Blockeinheiten bestehen, welche aus einer Vielzahl von Pixeln im Bilde bestehen; Speichervorrichtungen zum Speichern der

decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Halbbildeinheiten gespeichert sind; und Erhalten von Zeilensprungdisplaybilddaten; wobei die kleinste Verzögerungszeit vom Beginn des Decodierens der codierten Daten eines Bildes bis zum Beginn des Displays 1.5 Bilder beträgt, wenn die Bilder durch Intra-Bildcodierung oder durch Inter-Bildcodierung codiert sind, und die 0.5 Bilder umfaßt, wenn die Bilder durch Bild-Interpolationscodierung bei den ersten codierten Daten codiert sind, und die 0.5 Bilder bei den zweiten codierten Daten umfaßt, unabhängig vom Codier-typ.

6. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals, in Bildeinheiten, bestehend aus zwei Halbbildern in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln im Bilde; Speichervorrichtung zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Teilbildeinheiten auf der Basis eines Display-Synchronisationssignals gespeichert sind; und Erhalten von Zeilensprung-Displaybilddaten; wobei die Decodiervorrichtungen decodierte Daten eines einzelnen Bildes synchron mit dem Display-Synchronisationssignal decodieren.

7. Vorrichtung zum Decodieren von Bildern nach Anspruch 6, bei der die Decodiervorrichtungen decodierter Daten eines einzelnen Bildes während der Ein-Bildperiode synchron mit dem Display-Synchronisationssignal decodieren.

8. Vorrichtung zum Decodieren von Bildern nach Anspruch 6, bei der die Decodiervorrichtungen eine Decodieranhalteperiode für den Zeitpunkt einstellen, in welchem das Bild der zu decodierenden codierten Daten geschaltet wird.

9. Vorrichtung zum Decodieren von Bildern nach Anspruch 6, bei der die Zeitschlitzze synchron mit dem Display-Synchronisationssignal eingestellt sind, und die Decodiervorrichtungen sowie die Displayvorrichtungen einen Speichercontroller zum Zugreifen auf die Speichervorrichtungen jeweils entsprechend den Zeitschlitzzen aufweisen.

10. Vorrichtung zum Decodieren von Bildern nach Anspruch 9, bei der die Zeitschlitzze so eingestellt sind, das während einer Horizontalabtastperiode des Display-Synchronisationssignals eine Vielzahl von Blöcken decodiert werden kann.

11. Vorrichtung zum Decodieren von Bildern nach Anspruch 10, bei der die Vorrichtung codierte Daten eines Videosignals mit einer Bildfrequenz von 30 Hz und 125 Abtastzeilen, und codierte Daten eines Videosignals mit einer Bildfrequenz von 25 Hz und 625 Abtastzeilen decodiert, und wobei die Zeitschlitzze so eingestellt sind, daß die Anzahl der Blöcke, die während einer Horizontalabtastperiode des Display-Synchronisationssignals decodiert werden können, für beide Arten von codierten Daten die gleiche ist.

12. Vorrichtung zum Decodieren von Bildern nach Anspruch 6, bei der die Speichervorrichtungen einen Pufferspeicher zum zeitweiligen Speichern codierter Daten vor dem Decodieren derselben umfassen, und wobei die Decodiervorrichtungen einen

Speichercontroller umfassen, der aufweist: Schreibvorrichtungen für codierte Daten; Lesevorrichtungen für codierte Daten; Schreibvorrichtungen für decodierte Bilddaten; Lesevorrichtungen für Bezugsbilddaten zum Auslesen decodierten Bilddaten als Bezugsbilddaten; und wobei die Displayvorrichtungen Lesevorrichtungen für Displaybilddaten als Speichercontroller umfassen; und wobei die Zeitschlitzze entsprechend dem Zugriff durch jede der Schreibvorrichtungen für codierte Daten, der Lesevorrichtungen für codierte Daten, der Schreibvorrichtungen für decodierte Bilddaten, der Lesevorrichtungen für Bezugsbilddaten und der Lesevorrichtungen für Displaybilddaten eingestellt sind.

13. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten decodierter Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln im Bilde; Speichervorrichtungen zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Halbbildeinheiten auf der Basis eines Display-Synchronisationssignals gespeichert sind; und Erhalten von Zeilensprung-Displaybilddaten; wobei die Decodiervorrichtungen einen Speichercontroller umfassen, der Schreibvorrichtungen für decodierte Bilddaten und Lesevorrichtungen für Bezugsbilddaten zum Auslesen der decodierten Bilddaten als Bezugsbilddaten umfaßt; und das die Displayvorrichtungen Lesevorrichtungen für Displaybilddaten als Speichercontroller umfassen; und das die Speichervorrichtungen ein erstes Speicherfeld, ein zweites Speicherfeld und Puffervorrichtungen für ein Speichersteuersignal, wie etwa ein Adresssignal, umfassen; und daß die Schreibvorrichtungen für decodierte Bilddaten, Lesevorrichtungen für Bezugsbilddaten und die Lesevorrichtungen für Displaybilddaten ein Speichersteuersignal an das zweite Speicherfeld liefern, während sie Daten aus dem ersten Speicherfeld lesen oder Daten in das erste Speicherfeld einschreiben; und wobei sie ein Speichersteuersignal und das erste Speicherfeld liefern, während sie Daten aus dem zweiten Speicherfeld auslesen oder Daten in das zweite Speicherfeld einschreiben.

14. Vorrichtung zum Decodieren von Bildern nach Anspruch 13, bei der die Speichervorrichtungen einen Pufferspeicher zum zeitweiligen Speichern codierter Daten vor dem Decodieren derselben umfassen; und daß Decodiervorrichtungen Schreibvorrichtungen für codierte Daten und Lesevorrichtungen für codierte Daten als Speichercontroller umfassen; und daß die Schreibvorrichtungen für codierte Daten und die Lesevorrichtungen für codierte Daten ein Speichersteuersignal an das zweite Speicherfeld liefern, während sie Daten aus dem ersten Speicherfeld auslesen, oder Daten in das erste Speicherfeld einschreiben; und daß sie ein Speichersteuersignal an das erste Speicherfeld liefern, während sie Daten aus dem zweiten Speicherfeld auslesen, oder Daten in das zweite Speicherfeld einschreiben; und daß sie codierte Daten in die Speichervorrichtungen einschreiben oder aus diesen auslesen, und zwar durch Paaren der Zugriffe zum ersten und zum zweiten Speicherfeld.

15. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtung zum Erhalten von decodierten Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln; Speichervorrichtungen zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Halbbildeinheiten auf der Basis eines Display-Synchronisationssignals gespeichert sind; und Erhalten von Zeilensprung-Displaybilddaten; wobei die Decodiervorrichtungen einen Speichercontroller umfassen, der Schreibvorrichtungen für decodierte Bilddaten, Lesevorrichtungen für Bezugsbilddaten zum Auslesen der decodierten Bilddaten als Bezugsbilddaten umfaßt; und daß die Displayvorrichtungen Lesevorrichtungen für Displaybilddaten als Speichercontroller umfassen; und das die Speichervorrichtungen ein erstes Speicherfeld, ein zweites Speicherfeld und Puffervorrichtungen für ein Speichersteuersignal, wie etwa ein Adresssignal, umfassen; und daß die Schreibvorrichtungen für decodierte Bilddaten, die Schreibvorrichtungen für Bezugsbilddaten und die Lesevorrichtungen für Displaybilddaten während der Betriebsperiode der Schreibvorrichtungen für decodierte Bilddaten, oder der Schreibvorrichtungen für Bezugsbilddaten, oder der Lesevorrichtungen für Displaybilddaten, welche vorher Daten aus den Speichervorrichtungen auslesen oder in diese Einschreiben, ein Speichersteuersignal an das erste Speicherfeld liefern, um mit dem Lesen von Daten aus dem ersten Speicherfeld oder dem Schreiben von Daten in das erste Speicherfeld zu beginnen.

16. Vorrichtung zum Decodieren von Bildern nach Anspruch 15, bei der die Speichervorrichtungen einen Pufferspeicher zum zeitweiligen Speichern codierter Daten vor dem Decodieren derselben aufweisen; und daß Decodiervorrichtungen Schreibvorrichtungen für codierte Daten und Lesevorrichtungen für codierte Daten als Speichercontroller umfassen; und daß die Schreibvorrichtungen für decodierte Bilddaten, die Lesevorrichtungen für Bezugsbilddaten, die Lesevorrichtungen für Displaybilddaten, die Schreibvorrichtungen für codierte Daten, und die Lesevorrichtungen für codierte Daten ein Speichersteuersignal an das erste Speicherfeld während der Betriebsperiode der Schreibvorrichtungen für decodierte Bilddaten oder der Schreibvorrichtungen für Bezugsbilddaten oder der Lesevorrichtungen für Displaybilddaten oder der Schreibvorrichtungen für codierte Daten oder der Lesevorrichtungen für codierte Daten liefern, wobei das Auslesen der Daten aus den Speichervorrichtungen oder das Einschreiben von Daten in die Speichervorrichtungen vorher stattfindet, um mit dem Auslesen von Daten aus dem ersten Speicherfeld oder dem Einschreiben von Daten in das erste Speicherfeld zu beginnen.

17. Vorrichtung zum Decodieren von Bildern, aufweisend: Decodiervorrichtungen zum Erhalten von decodierten Bilddaten durch Decodieren codierter Daten eines datenkomprimierten Videosignals in Blockeinheiten, bestehend aus einer Vielzahl von Pixeln im Bilde; Speichervorrichtungen zum Speichern der decodierten Bilddaten; und Displayvorrichtungen zum Auslesen der decodierten Bilddaten, die in den Speichervorrichtungen in Halbbild-

einheiten auf der Basis eines Display-Synchronisationssignals gespeichert sind; und Erhalten von Zeilensprung-Displaybilddaten; wobei die Decodiervorrichtungen Schreibvorrichtungen für decodierte Bilddaten, und der Speichercontroller Lesevorrichtungen für Bezugsbilddaten zum Auslesen decodierter Bilddaten als Bezugsbilddaten umfassen; wobei die Displayvorrichtungen Lesevorrichtungen für Displaybilddaten als Bildcontroller umfassen, wobei die Speichervorrichtungen ein erstes Speicherfeld, ein zweites Speicherfeld und Puffervorrichtungen für ein Speichersteuersignal, wie etwa ein Adresssignal, umfassen; und wobei die Schreibvorrichtungen für decodierte Bilddaten, die Lesevorrichtungen für Bezugsbilddaten und die Lesevorrichtungen für Displaybilddaten Daten aus den Speichervorrichtungen auslesen oder Daten in die Speichervorrichtungen einschreiben, in Übereinstimmung mit Zeitschlitzten, die synchron mit dem Display-Synchronisationssignal eingestellt sind.

18. Vorrichtung zum Decodieren von Bildern nach Anspruch 17, bei der Speichervorrichtungen einen Pufferspeicher zum zeitweiligen Speichern decodierter Daten vor dem Decodieren desselben umfassen; wobei die Decodiervorrichtungen Schreibvorrichtungen für codierte Daten und Lesevorrichtungen für codierte Daten als Speichercontroller umfassen; und wobei die Schreibvorrichtungen für decodierte Bilddaten die Lesevorrichtungen für Bezugsbilddaten, die Lesevorrichtungen für Displaybilddaten, die Schreibvorrichtungen für codierte Daten und die Lesevorrichtung für codierte Daten aus den Speichervorrichtungen auslesen oder in die Speichervorrichtungen einschreiben, in Übereinstimmung mit den Zeitschlitzten, die synchron mit dem Display-Synchronisationssignal eingestellt sind.

Hierzu 19 Seite(n) Zeichnungen



FIG. 1

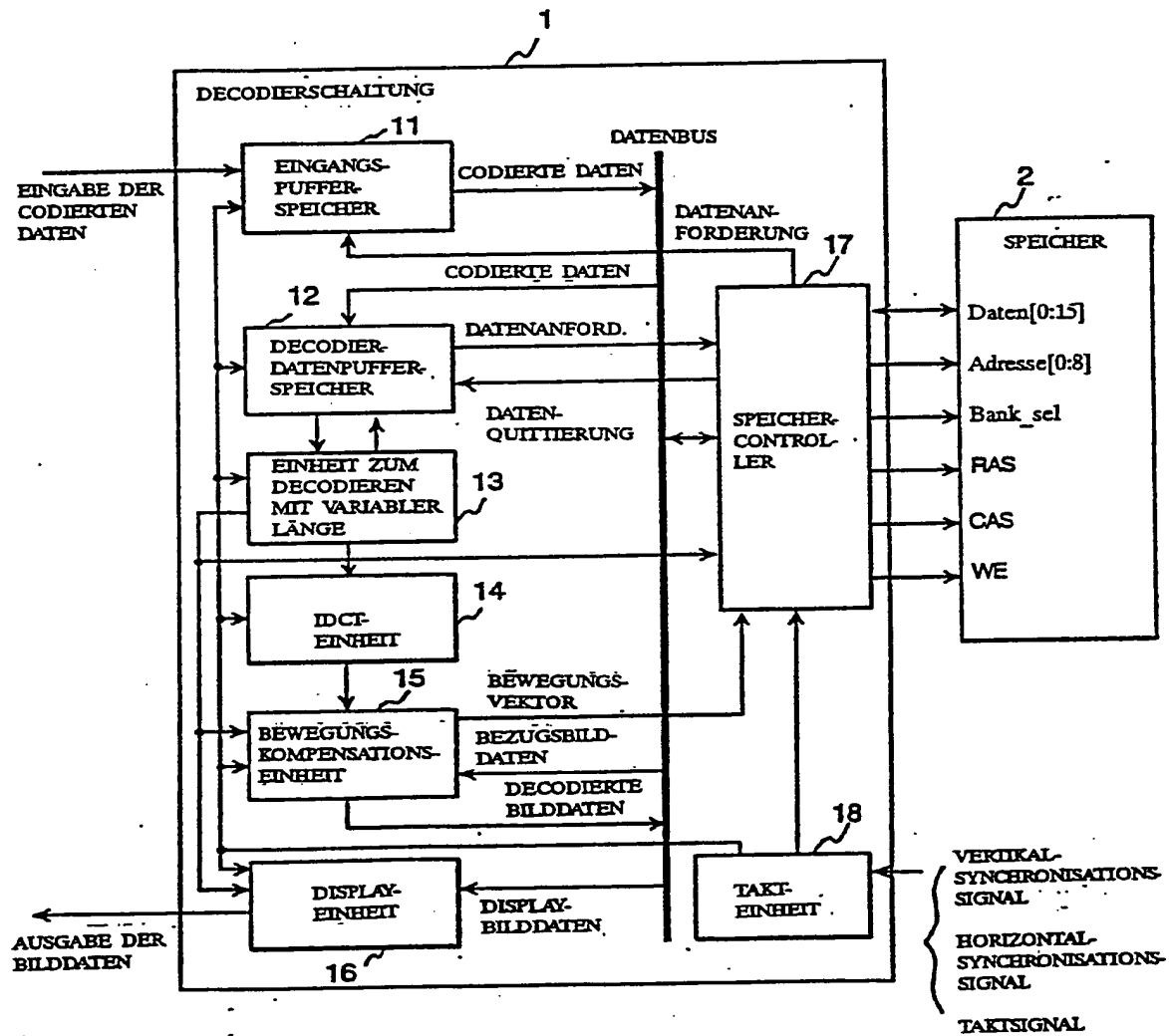




FIG. 2

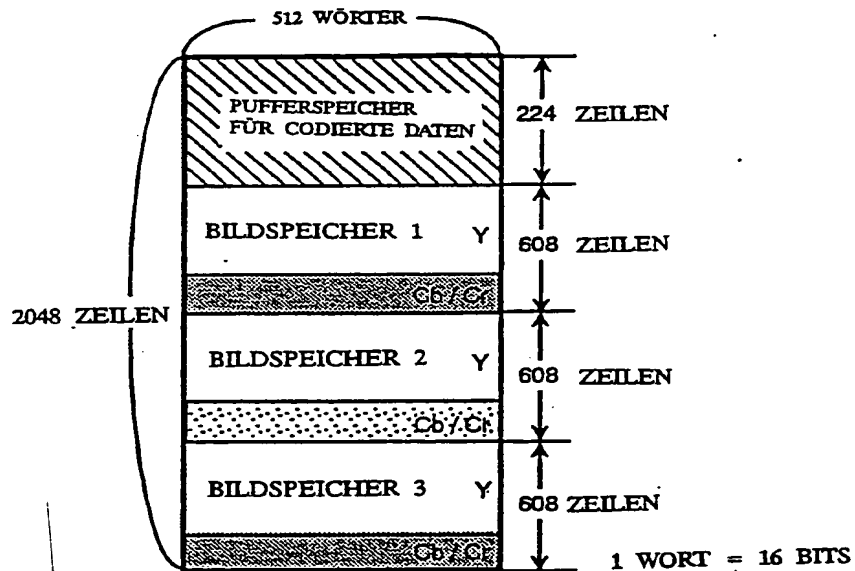


FIG. 3

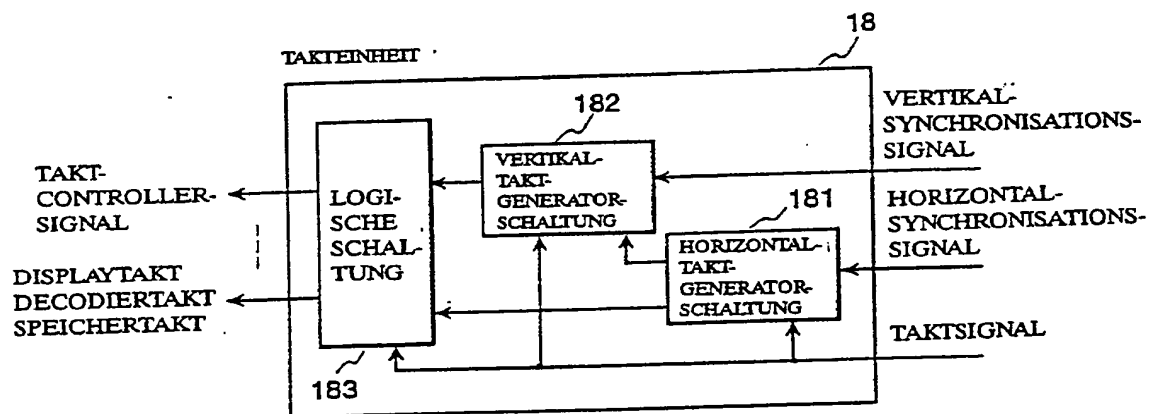


FIG. 4

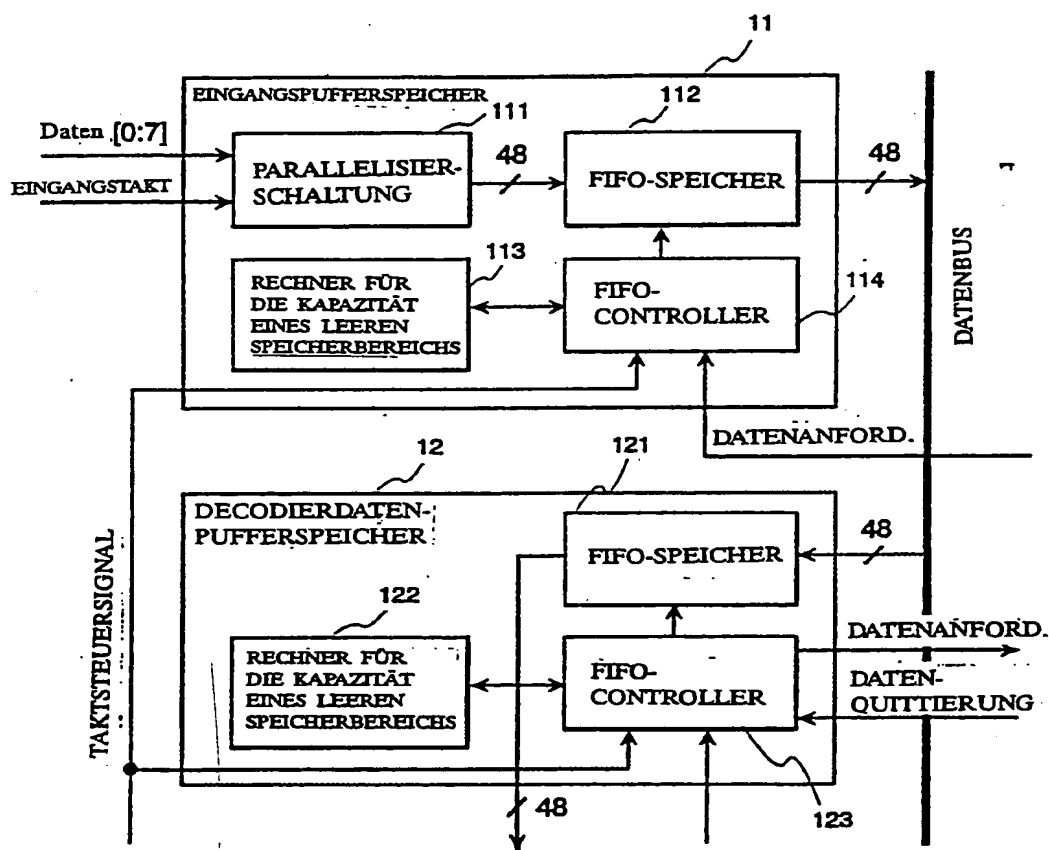


FIG. 5

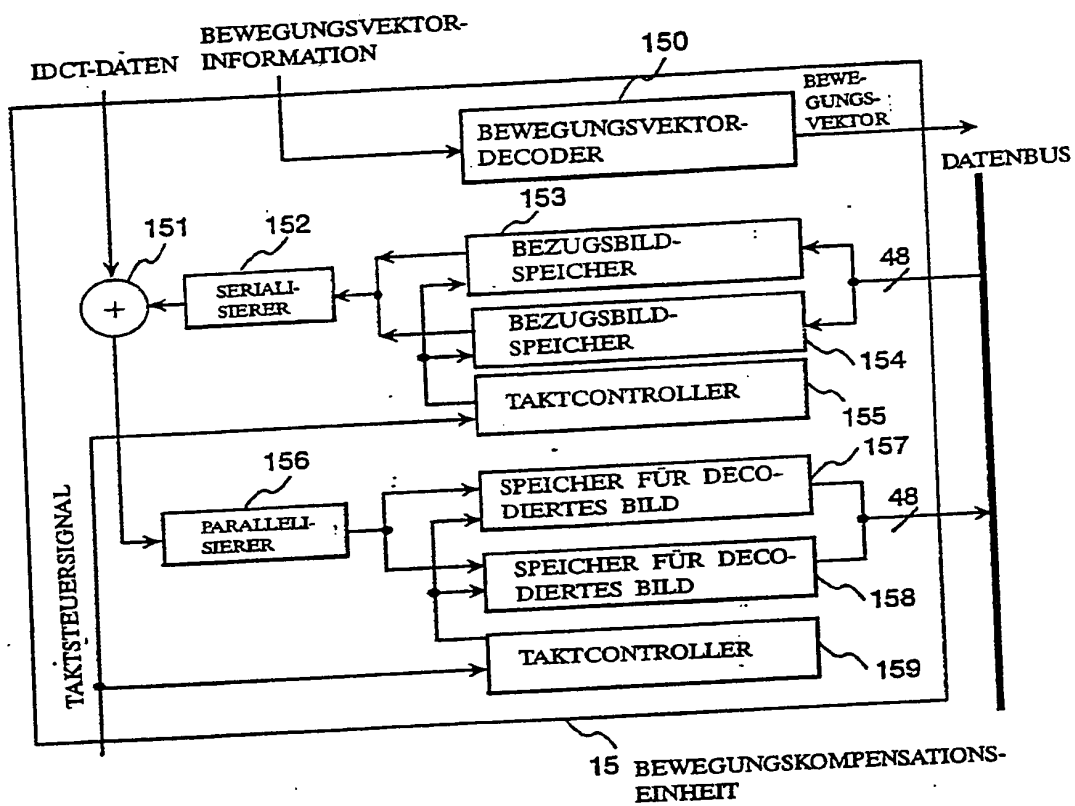


FIG. 6

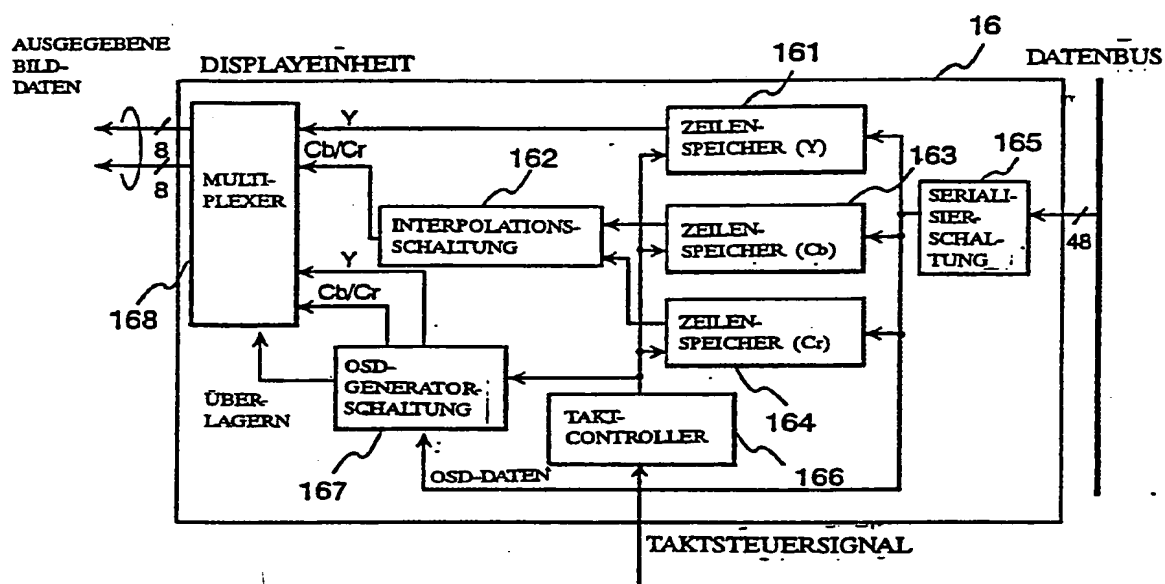


FIG. 7

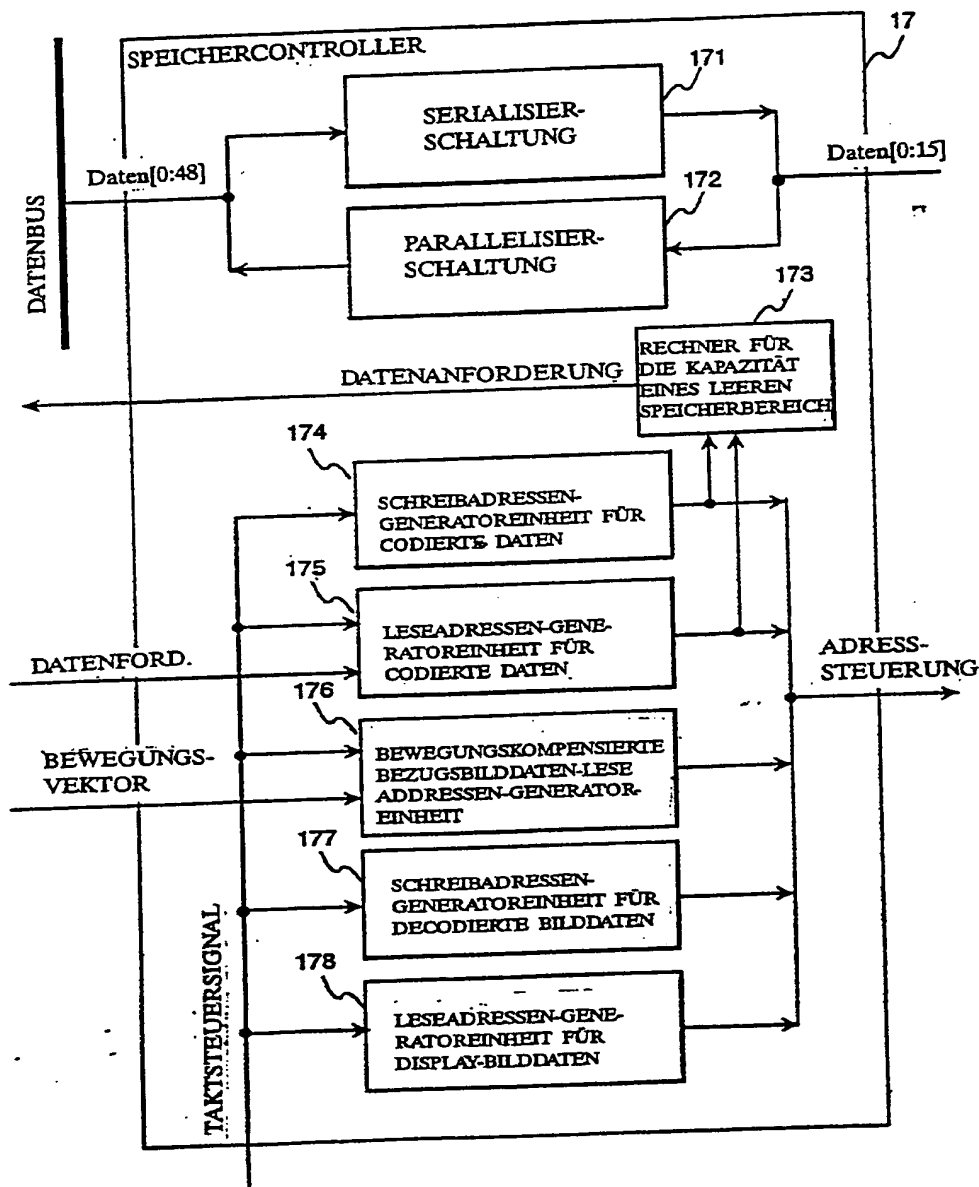


FIG. 8

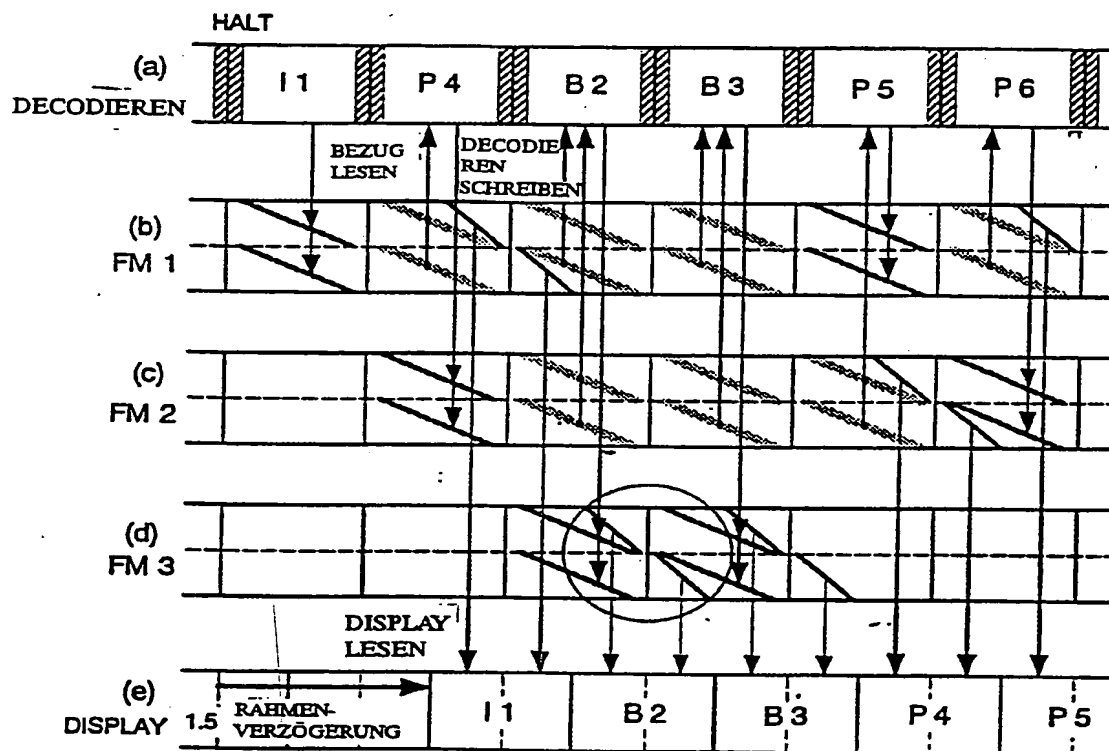


FIG. 9

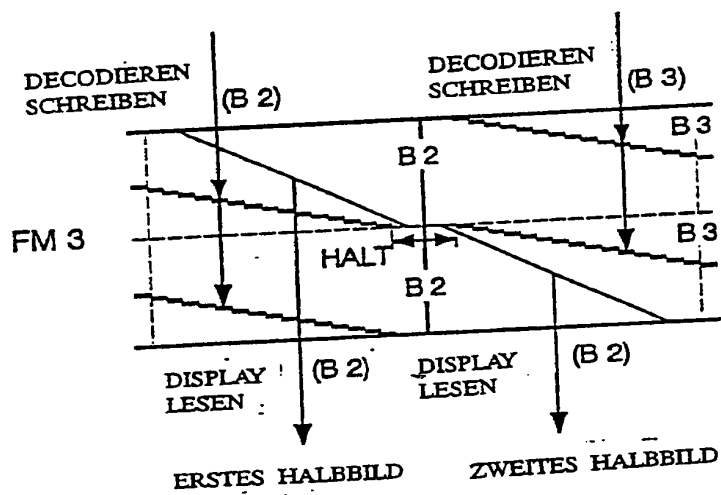




FIG. 10

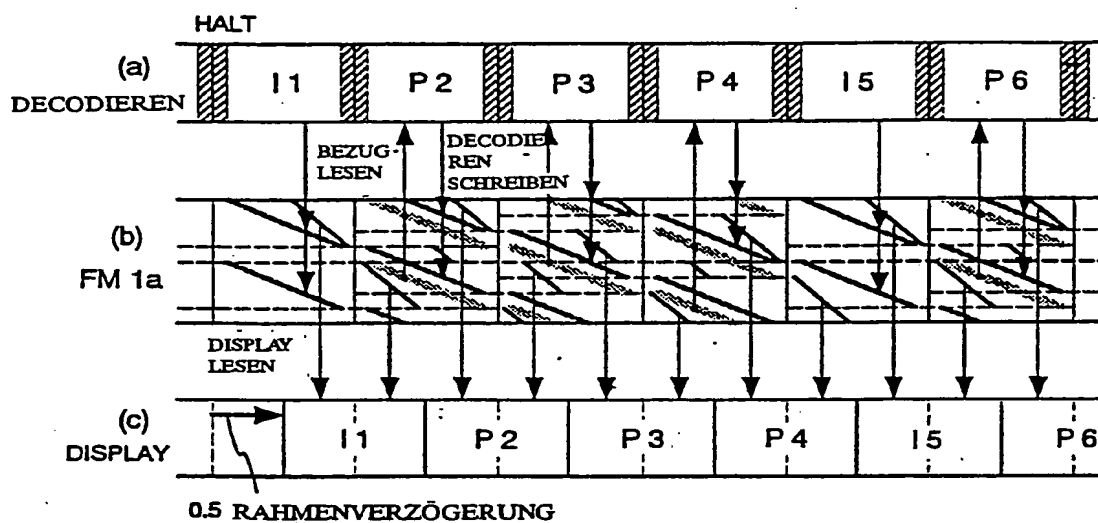


FIG. 11

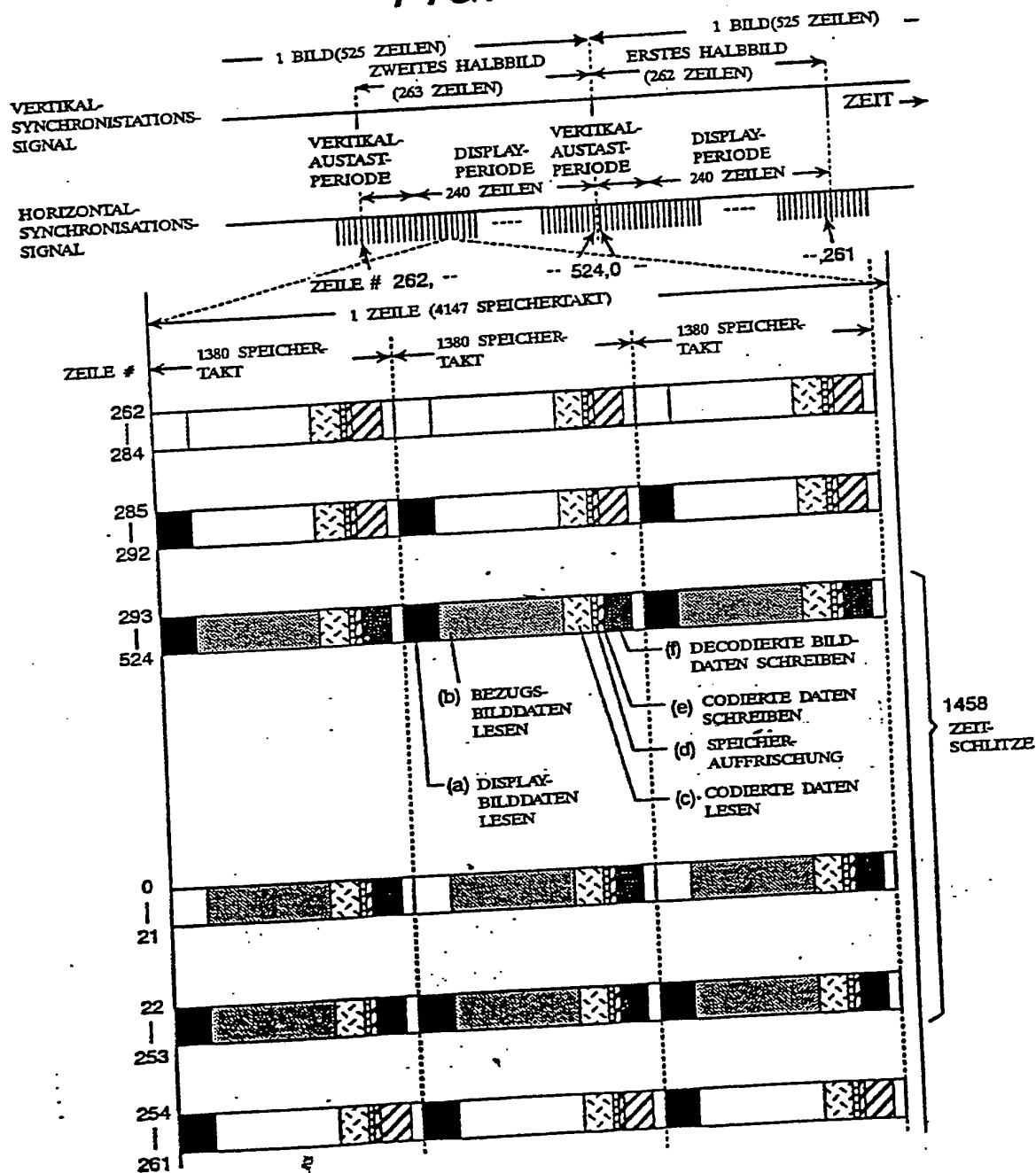


FIG. 12

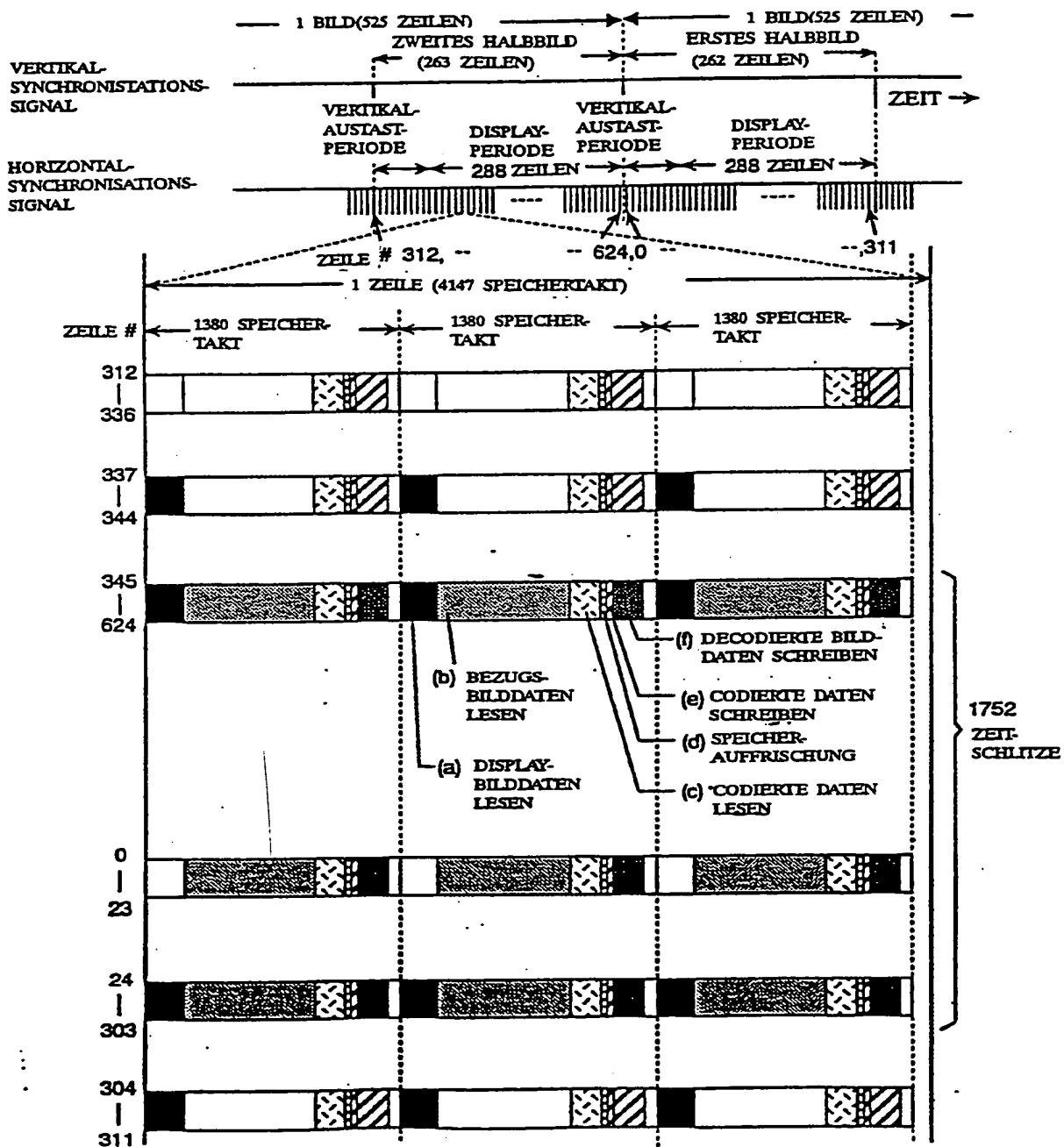




FIG. 14

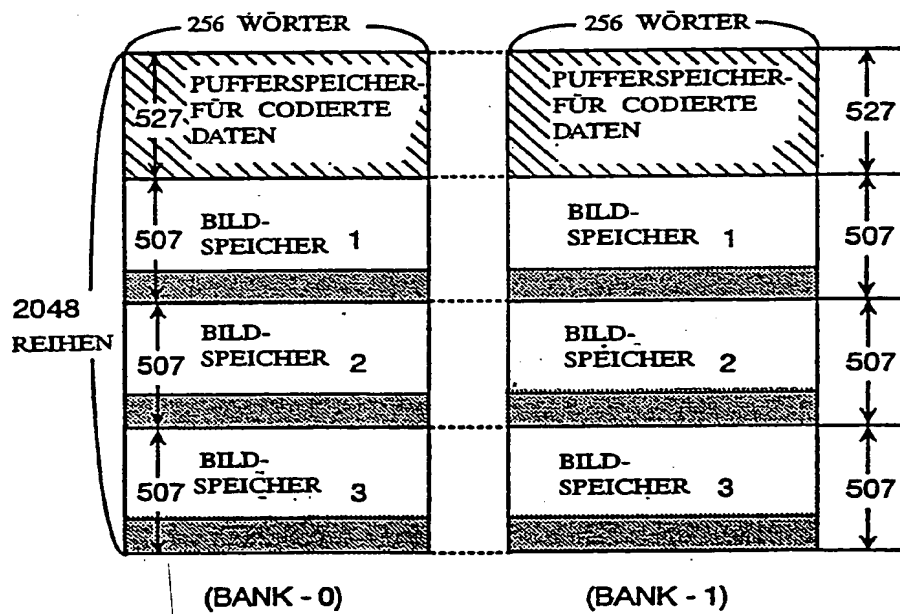
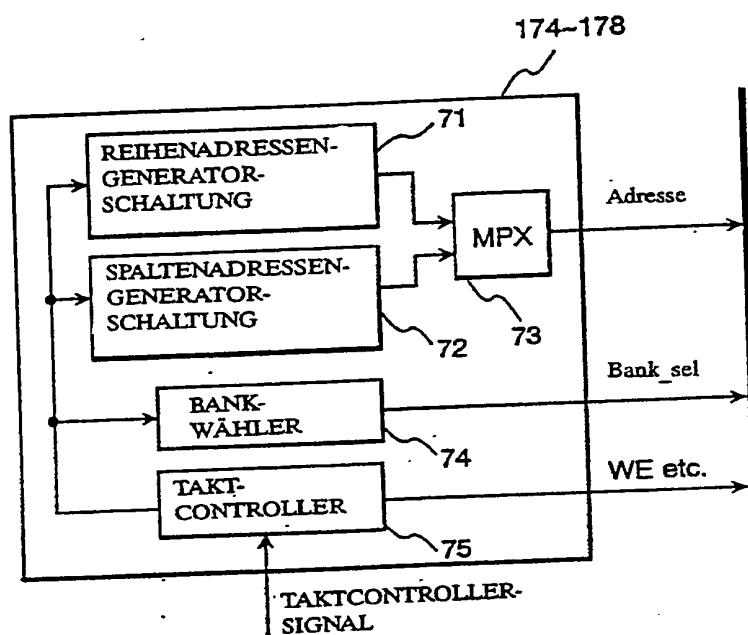


FIG. 15



**FIG. 16**

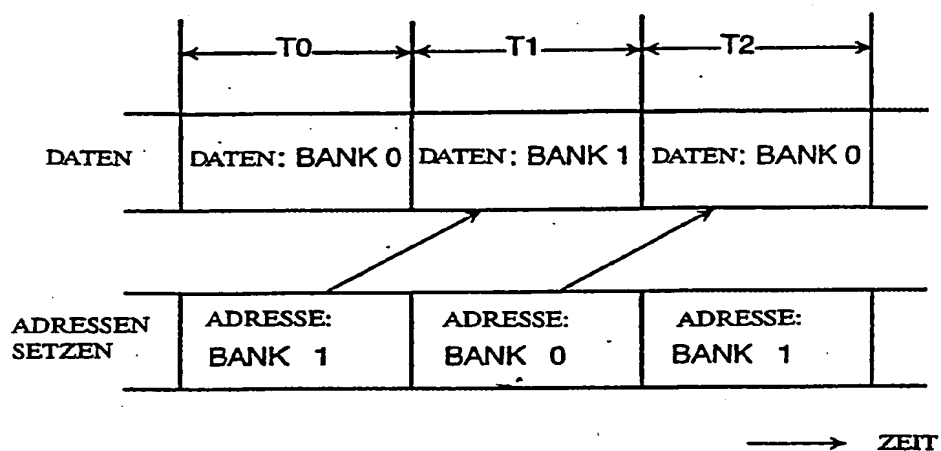


FIG. 17

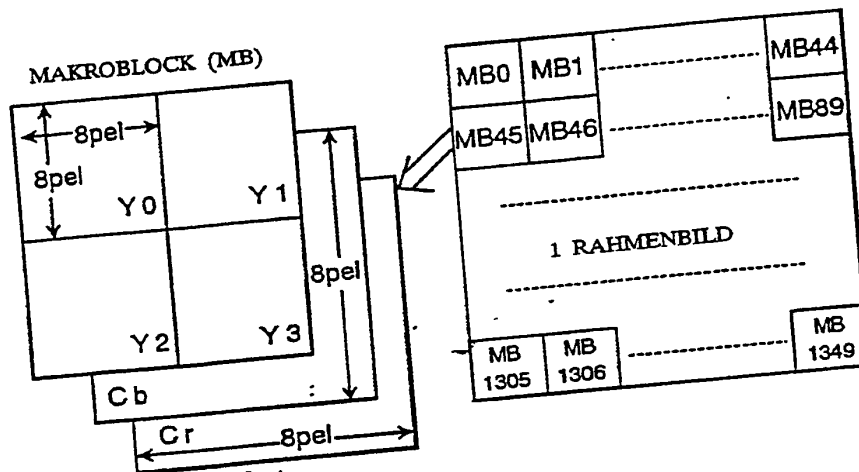




FIG. 18

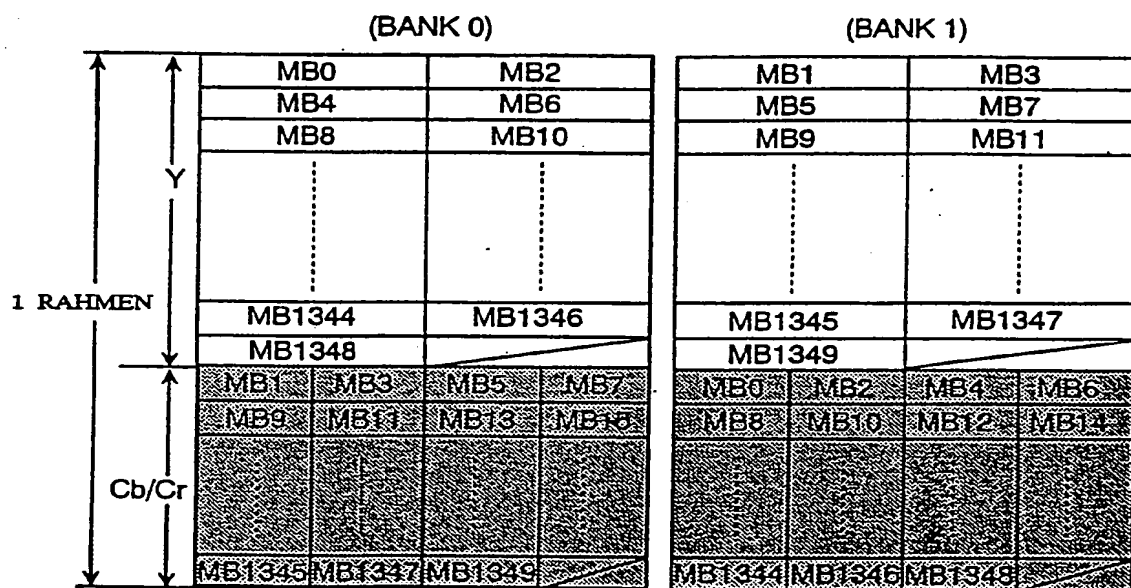


FIG. 19

